

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月22日
Date of Application:

出願番号 特願2002-340186
Application Number:

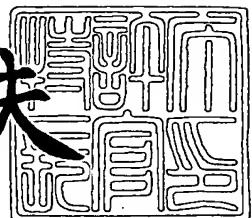
[ST. 10/C] : [JP2002-340186]

出願人 富士電機デバイステクノロジー株式会社
Applicant(s):

2004年 1月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】

特許願

【整理番号】

02P01212

【提出日】

平成14年11月22日

【あて先】

特許庁長官殿

【国際特許分類】

H01L 29/78

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式
会社内

【氏名】 杉 祥夫

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式
会社内

【氏名】 藤島 直人

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式
会社内

【氏名】 北村 瞳美

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式
会社内

【氏名】 田淵 勝也

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008358

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板に設けられたトレーナー、トランジスタとして電流を駆動する活性領域における前記トレーナーの底部に形成された第1の拡散領域、前記トレーナーの外側の基板表面領域に形成された第2の拡散領域、前記トレーナーに沿って前記トレーナーの内側に形成されたゲート絶縁膜、前記ゲート絶縁膜の内側に形成された第1の導電体、前記活性領域における前記第1の導電体の内側に層間絶縁膜を介して形成され、かつ前記第1の拡散領域に電気的に接続する第2の導電体、層間絶縁膜を貫通して前記第2の拡散領域に電気的に接続する第1の電極、および層間絶縁膜を貫通して前記第2の導電体に電気的に接続する第2の電極を具備するトレーナー横型トランジスタよりなる半導体装置において、

前記トレーナーは、前記活性領域に形成された第1のトレーナーと、前記第1のトレーナーと交差しメッシュパターンを形成する第2のトレーナーとを有し、

エッチングされずに残った島状の非トレーナーエッチング領域は、前記メッシュパターンのトレーナーにつながる1以上の第3のトレーナーにより、複数の小領域に分割されており、

前記第2の拡散領域と前記第1の電極とを接続するためのコンタクト部が、当該非トレーナーエッチング領域内の全小領域にまたがるように配置されていることを特徴とする半導体装置。

【請求項 2】 前記第3のトレーナーは、前記第1のトレーナーに対して平行であることを特徴とする請求項1に記載の半導体装置。

【請求項 3】 前記第3のトレーナーは、前記第2のトレーナーに対して平行であることを特徴とする請求項1に記載の半導体装置。

【請求項 4】 前記第3のトレーナーは、前記第1のトレーナーおよび前記第2のトレーナーの両方に対して斜めであることを特徴とする請求項1に記載の半導体装置。

【請求項 5】 前記第3のトレーナーは、前記第1のトレーナーに対して平行、前記第2のトレーナーに対して平行、前記第1のトレーナーおよび前記第2のトレ

チの両方に対して斜め、のいずれか2つ、または3つの組み合わせであることを特徴とする請求項1に記載の半導体装置。

【請求項6】 前記第2の拡散領域はドレイン領域であり、前記第1の拡散領域はソース領域であることを特徴とする請求項1～5のいずれか一つに記載の半導体装置。

【請求項7】 前記第2の拡散領域はソース領域であり、前記第1の拡散領域はドレイン領域であることを特徴とする請求項1～5のいずれか一つに記載の半導体装置。

【請求項8】 前記第3のトレンチ内は前記ゲート絶縁膜を介して前記第1の導電体により埋められており、当該第3のトレンチ内の第1の導電体と前記第1の電極とは、層間絶縁膜により絶縁されていることを特徴とする請求項6または7に記載の半導体装置。

【請求項9】 前記第1のトレンチの側部の一部に沿って、前記ゲート絶縁膜よりも厚い層間絶縁膜が設けられていることを特徴とする請求項1～8のいずれか一つに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に半導体基板に形成されたトレンチを利用したパワーMISFET（絶縁ゲート型電界効果トランジスタ）に関する。

【0002】

【従来の技術】

近年、CMOSプロセスをベースにした高性能横型パワーMOSFETの開発が活発におこなわれている。特に、最近では、従来のプレーナ型の横型パワーMOSFETと比較して、さらなる低オン抵抗化と、パワーICに集積する際の高集積化が可能なトレンチ横型パワーMOSFET（以下、TLPMとする）が注目されている（たとえば、特許文献1、特許文献2参照。）。

【0003】

【特許文献1】

特開2002-184980号公報

【特許文献2】

特開2002-270831号公報

【0004】

本発明者らは、T L P Mの平面レイアウトに関して、トレンチ領域をメッシュ状に形成し、トレンチエッチングされない領域が島状に残るメッシュパターンについて先に出願している（特願2001-162383）。図24は、この先願発明の中で開示されているメッシュ状トレンチパターンの基本パターンを示す図である。

【0005】

図24において、トレンチエッチング領域1はハッチング領域であり、非トレンチエッチング領域2は島状に残る領域である。また、符号3および符号4はそれぞれドレインコンタクトおよびドレイン電極であり、符号5および符号6はそれぞれソースコンタクトおよびソース電極である。トレンチエッチング領域1のうち W_t 間を活性領域とする。

【0006】

トレンチエッチング領域1には、ゲート絶縁膜、ゲートポリシリコンが形成され、活性領域にはさらに、たとえばソースポリシリコンなどが形成される。トレンチ底部には、たとえばソース領域、ベース領域およびボディ領域などが形成される。非トレンチエッチング領域2には、たとえばドレイン領域および拡張ドレイン領域などが形成される（図12および図13参照）。

【0007】

ところで、一般にMOSFETにおいて単位面積当たりのオン抵抗が低い方が望ましいが、この単位面積当たりのオン抵抗を決める重要なパラメータとして単位面積当たりのチャネル幅（以下、チャネル密度とする）がある。チャネル幅を W_{ch} とし、素子面積を A で表すと、チャネル密度 P の値は、つぎの（1）式で与えられる。トランジスタの高集積化をおこない、単位面積当たりの電流駆動能力を高めるためにはチャネル密度 P の値が大きい方がよい。

【0008】

$$P = W_c h / A \quad \dots \quad (1)$$

【0009】

説明の便宜上、図24において、非トレンチエッティング領域2を長方形STUVとする。長方形STUVに関し、この長方形STUVのドレイン電極4またはソース電極6に対して平行な方向（以下、縦方向とする）の辺の長さ、および縦方向に垂直な方向（以下、横方向とする）の辺の長さを、それぞれStおよびLtとする。また、縦方向に隣り合う非トレンチエッティング領域2間の距離をWgとし、横方向に隣り合う非トレンチエッティング領域2間の距離をWtとする。

【0010】

また、縦方向に隣り合うトレンチ（トレンチ自体は横方向に伸びる）の各中心線と、横方向に隣り合うトレンチ（トレンチ自体は縦方向に伸びる）の各中心線とが交差してできる長方形をEFGHとする。長方形EFGHの面積Aは、つきの（2）式で表される。

【0011】

$$\begin{aligned} A &= (Wt/2 + Lt + Wt/2) \times (Wg/2 + St + Wg/2) \\ &= (Wt + Lt) \times (Wg + St) \quad \dots \quad (2) \end{aligned}$$

【0012】

図24に示すメッシュパターンでは、チャネルは非トレンチエッティング領域2のまわりに形成されるので、各長方形EFGH内におけるチャネル幅Wchは、つきの（3）式で表される。したがって、チャネル密度Pは、前記（1）式、上記（2）式および（3）式より、つきの（4）式で与えられる。

【0013】

$$Wch = 2(Lt + St) \quad \dots \quad (3)$$

$$\begin{aligned} P &= 2(Lt + St) / A \\ &= 2(Lt + St) / \{ (Wt + Lt) \times (Wg + St) \} \quad \dots \quad (4) \end{aligned}$$

【0014】

上述したメッシュ状のトレンチパターンは、従来のストライプ状のトレンチパターンよりもチャネル密度Pの値が大きくなる。すなわち、図25に示すストライプパターンにおいて、横方向に伸びるトレンチは存在しないが、長方形EFG

Hを図24と同じように設定すると、各長方形EFGH内のチャネル幅Wchは、つぎの(5)式で表される。したがって、チャネル密度Pは、つぎの(6)式で与えられる。

【0015】

$$Wch = 2 (Wg + St) \quad \dots \quad (5)$$

$$\begin{aligned} P &= 2 (Wg + St) / \{ (Wt + Lt) \times (Wg + St) \} \\ &= 2 / (Wt + Lt) \quad \dots \quad (6) \end{aligned}$$

【0016】

ここで、図24および図25より明らかなように、(Lt + St)の値は(Wg + St)の値よりも大きくなるので、上記(6)式と前記(4)との比較より、メッシュパターンの方がストライプパターンよりもチャネル密度Pが大きくなることが分かる。したがって、メッシュパターンのTLPMでは、微細化により、ストライプパターンのTLPMよりもチャネル密度Pを増大させることができるので、単位面積当たりのオン抵抗を低減させることができる。

【0017】

【発明が解決しようとする課題】

しかしながら、メッシュパターンのTLPMを微細化しようとすると、前記Ltおよび前記Stの寸法を小さくする、すなわち非トレンチエッチング領域2を小さくする必要がある。そうすると、図24に示すメッシュパターンでは、非トレンチエッチング領域2内にドレインコンタクト3が納まるレイアウトであるため、ドレインコンタクト3が小さくなり、それによってコンタクト抵抗が増大し、チャネル密度Pの増大分に見合うだけのオン抵抗の低減効果が得られないという問題点がある。

【0018】

また、コンタクトホールの開口不良による導通不良が起こりやすくなるという問題点もある。これらの問題点は、トレンチエッチング領域1内にドレインポリシリコンを形成し、トレンチ底部にドレイン領域を形成するタイプのTLPMにおいても同様である。

【0019】

本発明は、上記問題点に鑑みてなされたものであって、半導体と電極とのコンタクト部分の高い導電性を確保しつつ、トレンチの微細化による低オン抵抗化が可能な平面レイアウト形状のT L P Mを構成する半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる半導体装置は、半導体基板に設けられたトレンチ、そのトレンチのうち、トランジスタとして電流を駆動する活性領域における第1のトレンチの底部に形成されたソース領域（またはドレイン領域）、トレンチの外側の基板表面領域に形成されたドレイン領域（またはソース領域）、トレンチの内側にゲート絶縁膜を介して形成されたゲートポリシリコン、活性領域におけるゲートポリシリコンの内側に層間絶縁膜を介して形成され、かつソース領域（またはドレイン領域）に電気的に接続するソースポリシリコン（またはドレインポリシリコン）、層間絶縁膜を貫通してドレイン領域（またはソース領域）に電気的に接続するドレイン電極（またはソース電極）、および層間絶縁膜を貫通してソースポリシリコン（またはドレインポリシリコン）に電気的に接続するソース電極（またはドレイン電極）を具備するトレンチ横型トランジスタにおいて、以下のことを特徴とする。

【0021】

すなわち、トレンチは、活性領域に形成された第1のトレンチと、第1のトレンチと交差しメッシュパターンを形成する第2のトレンチとを有する。また、エッチングされずに残った島状の非トレンチエッチング領域は、メッシュパターンのトレンチにつながる1以上の第3のトレンチにより、複数の小領域に分割されている。また、ドレイン領域（またはソース領域）とドレイン電極（またはソース電極）とを接続するためのコンタクト部が、当該非トレンチエッチング領域内の全小領域にまたがるように配置される。

【0022】

この発明によれば、非トレンチエッチング領域においてドレイン領域（またはソース領域）とドレイン電極（またはソース電極）とを接続するためのコンタク

ト部は、非トレンチエッチング領域を第3のトレンチにより小領域に分割しない場合のコンタクト部と同じ大きさになる。

【0023】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお、以下の各実施の形態において、図24に示す基本パターンと同じ構成については、同一の符号を付し、重複する説明を省略する。

【0024】

実施の形態1.

図1は、本発明の実施の形態1にかかる半導体装置のトレンチパターンの平面レイアウトを示す図である。図1に示すように、実施の形態1は、図24に示すメッシュ状トレンチパターンの基本パターンにおいて、各非トレンチエッチング領域2を横切る第3のトレンチ7を、活性領域に形成された第1のトレンチ8に平行で、かつゲート領域に形成された第2のトレンチ9につながるように設けたものである。ここで、第2のトレンチ9が設けられた領域を第1のゲート領域とし、第3のトレンチ7が設けられた領域を第2のゲート領域とする。

【0025】

図1において、第1のトレンチ8および第2のトレンチ9は、それぞれ、ハッチングを付したトレンチエッチング領域1の中央十字状の縦方向および横方向に伸びる部分である。したがって、実施の形態1では、第3のトレンチ7は縦方向に伸びている。

【0026】

図1に示すように、非トレンチエッチング領域2は、その平面形状を特に限定しないが、たとえば長方形の島状の平面形状を成している。そして、各非トレンチエッチング領域2は、第3のトレンチ7により2つの小領域に分割されている。このような平面レイアウト形状は、トレンチエッチングのマスク酸化膜を、当該レイアウト形状に対応したパターンに残すことにより形成される。

【0027】

各非トレンチエッチング領域2において、非トレンチエッチング領域2と、そ

の上に設けられるドレイン電極（またはソース電極）となる第1の電極14とを電気的に接続するコンタクト部13は、非トレンチエッティング領域2の2つの小領域にまたがって形成される。また、ソース電極（またはドレイン電極）となる第2の電極16に対するコンタクト部15は、第1のトレンチ8上に形成される。

【0028】

ここで、図24に示すレイアウトと同様に、非トレンチエッティング領域2を長方形STUVとし、その縦の長さおよび横の長さをそれぞれ S_t および L_t とする。上述したように、非トレンチエッティング領域2に対するコンタクト部13を、第3のトレンチ7をまたいで非トレンチエッティング領域2の2つの小領域に接触させるので、 S_t および L_t の寸法は、図24に示すレイアウトにおける寸法と同じでよい。

【0029】

また、長方形STUVを囲むトレンチの中心線よりなる長方形をEFGHとする。また、第1のトレンチ8および第2のトレンチ9の幅をそれぞれ W_t および W_g とし、それぞれ図24に示すレイアウトにおける寸法と同じとする。したがって、長方形EFGHの面積Aは前記(2)式で表される。また、第3のトレンチ7の幅を W_s とする。

【0030】

図1に示すレイアウトでは、各長方形EFGH内におけるチャネル幅 W_{ch} は、その長方形EFGH内の非トレンチエッティング領域2が第1のトレンチ8、第2のトレンチ9および第3のトレンチ7に接する部分の長さであるから、つぎの(7)式で表される。また、チャネル密度Pは、前記(1)式および(7)式より、つぎの(8)式で与えられる。

【0031】

$$W_{ch} = 2(L_t - W_s + 2S_t) \quad \dots \quad (7)$$

$$\begin{aligned} P &= 2(L_t - W_s + 2S_t) / A \\ &= 2\{L_t + S_t + (S_t - W_s)\} / A \quad \dots \quad (8) \end{aligned}$$

【0032】

ここで、微細化により、 W_s を S_t よりも狭くする。そうすれば、上記（8）式と前記（4）式との比較より明らかのように、上記（8）式より得られるチャネル密度 P は、前記（4）式より得られるチャネル密度 P よりも大きくなる。つまり、実施の形態1のトレンチパターンの方が、図24に示すパターンよりも、チャネル密度 P が大きくなる。

【0033】

なお、各長方形 $S T U V$ 内に第3のトレンチ7が複数設けられていてもよい。この場合、非トレンチエッキング領域2に対するコンタクト部13は、各非トレンチエッキング領域2において、非トレンチエッキング領域2の、複数の第3のトレンチ7により分割されるすべての小領域にまたがって形成される。つまり、このコンタクト部13は、各非トレンチエッキング領域2において、分割されたすべての小領域に接触する。

【0034】

各長方形 $S T U V$ 内の第3のトレンチ7の数を n （ただし、 n は自然数）とする。この場合、各長方形 $E F G H$ 内におけるチャネル幅 W_{ch} およびチャネル密度 P は、それぞれ、つぎの（9）式および（10）式で与えられる。

【0035】

$$W_{ch} = 2 \{L_t - nW_s + (n+1)S_t\} \dots (9)$$

$$P = 2 \{L_t - nW_s + (n+1)S_t\} / A$$

$$= 2 \{L_t + S_t + n(S_t - W_s)\} / A \dots (10)$$

【0036】

微細化により、 W_s を S_t よりも狭くすると、上記（10）式と前記（4）式との比較より明らかのように、上記（10）式より得られるチャネル密度 P は、前記（4）式より得られるチャネル密度 P よりも大きくなる。また、各長方形 $S T U V$ 内の第3のトレンチ7の数 n が増えるほど、チャネル密度 P が大きくなる。

【0037】

なお、図1に示すように、すべての非トレンチエッキング領域2において、第3のトレンチ7の数が同じであってもよいし、特に図示しないが、個々の非ト

ンチェックング領域2において、第3のトレンチ7の数が異なっていてもよい。

【0038】

つぎに、本発明にかかるトレンチパターンを有するT L P Mの断面構造について説明する。なお、図12～図23に示すT L P Mの断面構造は、実施の形態1～11において共通である。

【0039】

(第1の例)

図12～図14は、トレンチ底部にソース領域が存在する1段トレンチ構造のT L P Mの断面構造を示す図である。図12は、図1の切断線A-A'で示す活性領域における断面図である。図12に示すように、活性領域では、p-半導体基板21に形成された第1のトレンチ8内には、ゲート絶縁膜22を介して、第1の導電体であるゲートポリシリコン23が形成されている。そして、その内側は、層間絶縁膜24を介して、第2の導電体であるソースポリシリコン25により埋められている。

【0040】

第2の電極16であるソース電極は、層間絶縁膜26を貫通するコンタクト部(ソースコンタクト)15を介して、ソースポリシリコン25に電気的に接続している。また、第1のトレンチ8の底部には、第1の拡散領域であるn⁺ソース領域27が設けられている。ソースポリシリコン25は、ゲート絶縁膜22を貫通して、n⁺ソース領域27に接触している。

【0041】

第1のトレンチ8の外側はn-ドレイン領域28であり、その表面層には、第2の拡散領域であるn⁺ドレイン領域29が、第1のトレンチ8から離れて形成されている。第1の電極14であるドレイン電極は、層間絶縁膜26およびマスク酸化膜30を貫通するコンタクト部(ドレインコンタクト)13を介して、n⁺ドレイン領域29に電気的に接続している。また、第1のトレンチ8の底部には、Pベース領域31およびp-ボディ領域32が設けられている。

【0042】

図13は、図1の切断線B-B'で示す第1のゲート領域における断面図であ

る。図13に示すように、第1のゲート領域では、p-半導体基板21に形成された第2のトレンチ9内は、ゲート絶縁膜22を介して、ゲートポリシリコン23により埋められている。第2のトレンチ9の外側はn-ドレイン領域28であり、その表面層には、n⁺ドレイン領域29が、第2のトレンチ9から離れて形成されている。第1の電極（ドレイン電極）14は、コンタクト部13を介して、n⁺ドレイン領域29に電気的に接続している。また、第2のトレンチ9の底部には、p-ボディ領域32が設けられている。

【0043】

図14は、図1の切断線C-C'で示す第2のゲート領域における断面図である。図14に示すように、第2のゲート領域では、p-半導体基板21に形成された第3のトレンチ7内は、ゲート絶縁膜22を介して、ゲートポリシリコン23により埋められている。第3のトレンチ7の外側はn-ドレイン領域28であり、その表面層には、n⁺ドレイン領域29が、第3のトレンチ7に接して形成されている。

【0044】

第1の電極（ドレイン電極）14は、コンタクト部13を介して、第3のトレンチ7の両側のn⁺ドレイン領域29に電気的に接続している。すなわち、コンタクト部13は、第3のトレンチ7を挟む両外側のn⁺ドレイン領域29にまたがって形成されている。ただし、コンタクト部13は、層間絶縁膜24により、ゲートポリシリコン23から絶縁されている。また、第3のトレンチ7の底部には、p-ボディ領域32が設けられている。

【0045】

図12～図14に示す断面構成を有するTLPIMの製造プロセスについて簡単に説明する。まず、p-半導体基板21にn-ドレイン領域28を形成し、その表面に、本発明にかかるメッシュ状トレンチパターンのマスク酸化膜30を形成する。マスク酸化膜30をマスクとして、トレンチエッチングをおこない、第1～第3のトレンチ8, 9, 7を形成する。ついで、第1～第3のトレンチ8, 9, 7内にゲート絶縁膜22を形成し、ゲートポリシリコン23を形成する。また、Pベース領域31、p-ボディ領域32およびn⁺ソース領域27を形成し、層間

絶縁膜 24 を堆積する。

【0046】

ついで、第1のトレンチ8の底部にコンタクトホールを開口し、第1のトレンチ8内にソースポリシリコン25を形成する。そして、層間絶縁膜26を堆積し、層間絶縁膜26およびマスク酸化膜30を貫通するコンタクトホールを開口し、イオン注入および拡散処理によりn⁺ドレイン領域29を形成する。最後に、メタル配線層の積層およびパターニングにより、コンタクト部13、15、第1の電極（ドレイン電極）14および第2の電極（ソース電極）16を形成し、図12～図14に示す断面構成が完成する。

【0047】

（第2の例）

図15～図17は、トレンチ底部にドレイン領域が存在する1段トレンチ構造のTLMの断面構造を示す図である。図15は、図1の切断線A-A'で示す活性領域における断面図である。図15に示すように、活性領域では、p-半導体基板21に形成された第1のトレンチ8内には、外側から順に、ゲート絶縁膜22、ゲートポリシリコン23および層間絶縁膜24が形成されており、その中央部は、第2の導電体であるドレインポリシリコン35により埋められている。

【0048】

第2の電極16であるドレイン電極は、層間絶縁膜26を貫通するコンタクト部（ドレインコンタクト）15を介して、ドレインポリシリコン35に電気的に接続している。また、第1のトレンチ8の底部には、第1の拡散領域であるn⁺ドレイン領域29およびn-ドレイン領域28が設けられている。ドレインポリシリコン35は、ゲート絶縁膜22を貫通して、n⁺ドレイン領域29に接触している。

【0049】

第1のトレンチ8の外側には、Pベース領域31、第2の拡散領域であるn⁺ソース領域27、およびp⁺プラグ領域36が形成されている。第1の電極14であるソース電極は、層間絶縁膜26およびマスク酸化膜30を貫通するコンタクト部（ソースコンタクト）13を介して、n⁺ソース領域27およびp⁺プラグ

領域36に電気的に接続している。

【0050】

図16は、図1の切断線B-B'で示す第1のゲート領域における断面図である。図16に示すように、第1のゲート領域では、p-半導体基板21に形成された第2のトレンチ9内は、ゲート絶縁膜22を介して、ゲートポリシリコン23により埋められている。第2のトレンチ9の外側には、Pベース領域31、n⁺ソース領域27およびp⁺プラグ領域36が形成されている。第1の電極（ソース電極）14は、コンタクト部13を介して、n⁺ソース領域27およびp⁺プラグ領域36に電気的に接続している。また、第2のトレンチ9の底部には、n-ドレイン領域28が設けられている。

【0051】

図17は、図1の切断線C-C'で示す第2のゲート領域における断面図である。図17に示すように、第2のゲート領域では、p-半導体基板21に形成された第3のトレンチ7内は、ゲート絶縁膜22を介して、ゲートポリシリコン23により埋められている。第3のトレンチ7の外側には、Pベース領域31、n⁺ソース領域27およびp⁺プラグ領域36が形成されている。

【0052】

第1の電極（ソース電極）14は、コンタクト部13を介して、第3のトレンチ7の両側のn⁺ソース領域27およびp⁺プラグ領域36に電気的に接続している。すなわち、コンタクト部13は、第3のトレンチ7を挟む両外側のn⁺ソース領域27およびp⁺プラグ領域36にまたがって形成されている。ただし、コンタクト部13は、層間絶縁膜24により、ゲートポリシリコン23から絶縁されている。また、第3のトレンチ7の底部には、n-ドレイン領域28が設けられている。

【0053】

図15～図17に示す断面構成を有するT L P Mの製造プロセスについて簡単に説明する。まず、p-半導体基板21の表面に、本発明にかかるメッシュ状トレンチパターンのマスク酸化膜30を形成し、これをマスクとしてトレンチエッティングをおこない、第1～第3のトレンチ8, 9, 7を形成する。ついで、n-

ドレイン領域28を形成した後、第1～第3のトレンチ8, 9, 7内にゲート絶縁膜22を形成し、ゲートポリシリコン23を形成する。そして、層間絶縁膜24を堆積する。

【0054】

ついで、第1のトレンチ8の底部にコンタクトホールを開口し、第1のトレンチ8内にドレインポリシリコン35を形成する。そして、Pベース領域31、n⁺ソース領域27およびp⁺プラグ領域36を形成し、層間絶縁膜26を堆積する。ついで、層間絶縁膜26およびマスク酸化膜30を貫通するコンタクトホールを開口し、メタル配線層の積層およびパターニングにより、コンタクト部13, 15、第1の電極（ソース電極）14および第2の電極（ドレイン電極）16を形成し、図15～図17に示す断面構成が完成する。

【0055】

（第3の例）

図18～図20は、トレンチ底部にソース領域が存在する2段トレンチ構造のTLMの断面構造を示す図である。図18、図19および図20は、それぞれ、図1の切断線A-A'で示す活性領域、図1の切断線B-B'で示す第1のゲート領域、および図1の切断線C-C'で示す第2のゲート領域における断面図である。

【0056】

図18～図20に示すように、この第3の例は、上述したTLMの第1の例において、第1～第3のトレンチ8, 9, 7の側壁の上半部に沿って、ゲート絶縁膜22よりも厚い層間絶縁膜41を設けたものである。また、第3の例では、p-ボディ領域32が設けられていない。その他の構成は第1の例と同じであるので、同一の符号を付して説明を省略する。

【0057】

図18～図20に示す断面構成を有するTLMの製造プロセスについて簡単に説明する。まず、p-半導体基板21にn-ドレイン領域28を形成し、その表面に、本発明にかかるメッシュ状トレンチパターンのマスク酸化膜30を形成する。マスク酸化膜30をマスクとして1段目のトレンチエッティングをおこない、

第1～第3のトレンチ8, 9, 7を形成する。ついで、第1～第3のトレンチ8, 9, 7の側壁に沿って厚い層間絶縁膜41を形成し、これをマスクとしてトレンチ底部に2段目のトレンチエッチングをおこなう。ついで、ゲート絶縁膜22を形成する。これ以降は、第1の例と同じである。

【0058】

(第4の例)

図21～図23は、トレンチ底部にドレイン領域が存在する2段トレンチ構造のT L P Mの断面構造を示す図である。図21、図22および図23は、それぞれ、図1の切断線A-A'で示す活性領域、図1の切断線B-B'で示す第1のゲート領域、および図1の切断線C-C'で示す第2のゲート領域における断面図である。

【0059】

図21～図23に示すように、この第4の例は、上述したT L P Mの第2の例において、第1のトレンチ7の下半部から底部にかけて、また、第2および第3のトレンチ9, 8の底部に、ゲート絶縁膜22よりも厚い層間絶縁膜41を設けたものである。また、第4の例では、基板表面にも厚い層間絶縁膜41が存在する。その他の構成は第2の例と同じであるので、同一の符号を付して説明を省略する。

【0060】

図21～図23に示す断面構成を有するT L P Mの製造プロセスについて簡単に説明する。まず、p-半導体基板21の表面に、本発明にかかるメッシュ状トレンチパターンのマスク酸化膜30を形成し、これをマスクとして1段目のトレンチエッチングをおこない、第1～第3のトレンチ8, 9, 7を形成する。ついで、トレンチ側壁を窒化膜で被覆し、これをマスクとしてトレンチ底部に2段目のトレンチエッチングをおこなう。そして、n-ドレイン領域28を形成した後、厚い層間絶縁膜41を形成し、窒化膜を除去する。ついで、第1～第3のトレンチ8, 9, 7内にゲート絶縁膜22を形成する。これ以降は、第2の例と同じである。

【0061】

実施の形態2.

図2は、本発明の実施の形態2にかかる半導体装置のトレンチパターンの平面レイアウトを示す図である。図2に示すように、実施の形態2は、図24に示すメッシュ状トレンチパターンの基本パターンにおいて、第3のトレンチ7を、第2のトレンチ9に平行で、かつ第1のトレンチ8につながるように設けたものである。

【0062】

すなわち、実施の形態2では、第3のトレンチ7は横方向に伸びており、各非トレンチエッチング領域2を2つの小領域に分割している。各非トレンチエッチング領域2において、非トレンチエッチング領域2に対するコンタクト部13は、それぞれの2つの小領域にまたがって形成される。

【0063】

ここで、長方形STUVおよび長方形EFGHを、図24に示すレイアウトと同様に定義し、 S_t 、 L_t 、 W_t および W_g を、それぞれ図24に示すレイアウトにおける寸法と同じとする。また、第3のトレンチ7の幅を W_s とする。図2に示すレイアウトでは、各長方形EFGH内におけるチャネル幅 W_{ch} は、以下の(11)式で表される。また、チャネル密度Pは、以下の(12)式で与えられる。

【0064】

$$W_{ch} = 2 (2L_t - W_s + S_t) \quad \dots \quad (11)$$

$$\begin{aligned} P &= 2 (2L_t - W_s + S_t) / A \\ &= 2 \{L_t + S_t + (L_t - W_s)\} / A \quad \dots \quad (12) \end{aligned}$$

【0065】

微細化により、 W_s を L_t よりも狭くすることにより、上記(12)式と前記(4)式との比較より明らかのように、上記(12)式より得られるチャネル密度Pは、前記(4)式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態2のトレンチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0066】

なお、各長方形S T U V内に第3のトレンチ7が複数設けられていてもよい。この場合、各非トレンチエッティング領域2において、非トレンチエッティング領域2に対するコンタクト部13は、非トレンチエッティング領域2の、複数の第3のトレンチ7により分割されたすべての小領域に接触する。

【0067】

各長方形S T U V内の第3のトレンチ7の数をm（ただし、mは自然数）とすると、各長方形E F G H内におけるチャネル幅W_chおよびチャネル密度Pは、それぞれ、つぎの（13）式および（14）式で与えられる。

【0068】

$$W_{c}h = 2 \{ (m+1) L_t - m W_s + S_t \} \quad \dots \quad (13)$$

$$\begin{aligned} P &= 2 \{ (m+1) L_t - m W_s + S_t \} / A \\ &= 2 \{ L_t + S_t + m (L_t - W_s) \} / A \quad \dots \quad (14) \end{aligned}$$

【0069】

微細化により、W_sをL_tよりも狭くすると、上記（14）式と前記（4）式との比較より明らかのように、上記（14）式より得られるチャネル密度Pは、前記（4）式より得られるチャネル密度Pよりも大きくなる。また、各長方形S T U V内の第3のトレンチ7の数mが増えるほど、チャネル密度Pが大きくなる。

【0070】

なお、個々の非トレンチエッティング領域2において、第3のトレンチ7の数が異なっていてもよい。また、第3のトレンチ7が第2のトレンチ9に平行になっている非トレンチエッティング領域2と、実施の形態1のように、第3のトレンチ7が第1のトレンチ8に平行になっている非トレンチエッティング領域2とが混在していてもよい。

【0071】

実施の形態3.

図3は、本発明の実施の形態3にかかる半導体装置のトレンチパターンの平面レイアウトを示す図である。図3に示すように、実施の形態3は、実施の形態1と実施の形態2を組み合わせたものである。すなわち、第3のトレンチ7は、図

24に示すメッシュ状トレンチパターンの基本パターンにおいて、第1のトレンチ8に平行な部分と、第2のトレンチ9に平行な部分とからなる十字状を成す。

【0072】

したがって、実施の形態3では、各非トレンチエッティング領域2は4つの小領域に分割されている。各非トレンチエッティング領域2において、非トレンチエッティング領域2に対するコンタクト部13は、それぞれの4つの小領域にまたがつて形成される。図3に示すレイアウトでは、各長方形EFGH内におけるチャネル幅Wchおよびチャネル密度Pは、それぞれ、つぎの(15)式および(16)式で与えられる。

【0073】

$$Wch = 4 \{ (Lt - Ws) + (St - Ws) \} \dots \dots (15)$$

$$P = 4 \{ (Lt - Ws) + (St - Ws) \} / A$$

$$= 4 (Lt + St - 2Ws) / A$$

$$= 2 \{ (Lt + St) + (Lt + St - 4Ws) \} / A \dots \dots (16)$$

【0074】

微細化により、4Wsが(Lt+St)よりも小さくなるようにWsを設定することにより、上記(16)式と前記(4)式との比較より明らかのように、上記(16)式より得られるチャネル密度Pは、前記(4)式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態3のトレンチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0075】

なお、第3のトレンチ7は、第1のトレンチ8に平行な部分が複数設けられた構成であってもよいし、第2のトレンチ9に平行な部分が複数設けられた構成であってもよいし、その両方であってもよい。また、個々の非トレンチエッティング領域2において、第3のトレンチ7の、第1のトレンチ8に平行な部分の数や第2のトレンチ9に平行な部分の数が異なっていてもよい。

【0076】

実施の形態4.

図4は、本発明の実施の形態4にかかる半導体装置のトレンチパターンの平面

レイアウトを示す図である。図4に示すように、実施の形態4は、図24に示すメッシュ状トレチパターンの基本パターンにおいて、第3のトレチ7を、第1のトレチ8および第2のトレチ9の両方に対して斜め方向に伸びるように設けたものである。

【0077】

図4に示す例では、各非トレチエッティング領域2において、第3のトレチ7は、非トレチエッティング領域2の対角線TVに一致している。実施の形態4では、各非トレチエッティング領域2は2つの小領域に分割されている。各非トレチエッティング領域2において、非トレチエッティング領域2に対するコンタクト部13は、それぞれの2つの小領域にまたがって形成される。

【0078】

ここで、長方形STUVおよび長方形EFGHを、図24に示すレイアウトと同様に定義し、St、Lt、WtおよびWgを、それぞれ図24に示すレイアウトにおける寸法と同じとする。また、第3のトレチ7の幅をWsとする。図4に示すレイアウトでは、各長方形EFGH内におけるチャネル幅Wchおよびチャネル密度Pは、それぞれ、つぎの(17)式および(18)式で与えられる。

【0079】

【数1】

$$Wch = 2 \left(Lt + St + \sqrt{Lt^2 + St^2} \right) \cdot \left\{ 1 - \left(\frac{Ws}{2St} \right) \cdot \frac{\sqrt{Lt^2 + St^2}}{Lt} \right\} \quad \cdots (17)$$

【数2】

$$P = \frac{2 \left(Lt + St + \sqrt{Lt^2 + St^2} \right)}{A} \cdot \left\{ 1 - \left(\frac{Ws}{2St} \right) \cdot \frac{\sqrt{Lt^2 + St^2}}{Lt} \right\} \quad \cdots (18)$$

【0080】

ここで、Wsを、

【数3】

$$Ws < \left(Lt + St - \sqrt{Lt^2 + St^2} \right)$$

となるように設定することにより、上記（18）式と前記（4）式との比較より明らかのように、上記（18）式より得られるチャネル密度Pは、前記（4）式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態4のトレントレンチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0081】

なお、第3のトレントレンチ7が、非トレントレンチング領域2の対角線SUに一致する構成であってもよい。また、第3のトレントレンチ7が対角線TVに一致している非トレントレンチング領域2と、第3のトレントレンチ7が対角線SUに一致している非トレントレンチング領域2とが混在していてもよい。また、第3のトレントレンチ7が斜め方向に伸びていれば、非トレントレンチング領域2の対角線TVまたはSUに一致していなくてもよい。また、各非トレントレンチング領域2に斜めの第3のトレントレンチ7が複数設けられていてもよいし、個々の非トレントレンチング領域2において、第3のトレントレンチ7の数が異なっていてもよい。

【0082】

実施の形態5。

図5は、本発明の実施の形態5にかかる半導体装置のトレントレンチパターンの平面レイアウトを示す図である。図5に示すように、実施の形態5は、図24に示すメッシュ状トレントレンチパターンの基本パターンにおいて、第3のトレントレンチ7を、非トレントレンチング領域2の対角線TVに一致する部分と対角線SUに一致する部分とからなるX字状を成すように設けたものである。

【0083】

したがって、各非トレントレンチング領域2は4つの小領域に分割されている。各非トレントレンチング領域2において、非トレントレンチング領域2に対するコンタクト部13は、それぞれの4つの小領域にまたがって形成される。

【0084】

ここで、長方形STUVおよび長方形EFGHを、図24に示すレイアウトと同様に定義し、St、Lt、WtおよびWgを、それぞれ図24に示すレイアウトにおける寸法と同じとする。また、第3のトレンチ7の幅をWsとする。図5に示すレイアウトでは、各長方形EFGH内におけるチャネル幅Wchおよびチャネル密度Pは、それぞれ、つぎの(19)式および(20)式で与えられる。

【0085】

【数4】

$$Wch = 2 \left(Lt + St + 2\sqrt{Lt^2 + St^2} \right) \cdot \left\{ 1 - \left(\frac{Ws}{St} \right) \cdot \frac{\sqrt{Lt^2 + St^2}}{Lt} \right\} \quad \cdots (19)$$

【数5】

$$P = \frac{2 \left(Lt + St + 2\sqrt{Lt^2 + St^2} \right)}{A} \cdot \left\{ 1 - \left(\frac{Ws}{St} \right) \cdot \frac{\sqrt{Lt^2 + St^2}}{Lt} \right\} \quad \cdots (20)$$

【0086】

ここで、Wsを、

【数6】

$$Ws < \frac{2 \left(2\sqrt{Lt^2 + St^2} - Lt - St \right)}{3 \left(\frac{Lt}{St} + \frac{St}{Lt} \right) - 2}$$

となるように設定することにより、上記(20)式と前記(4)式との比較より明らかのように、上記(20)式より得られるチャネル密度Pは、前記(4)式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態5のトレンチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0087】

なお、第3のトレンチ7が斜め方向に伸びていれば、非トレンチエッティング領

域2の対角線TVまたはSUに一致していなくてもよい。また、第3のトレンチ7は、非トレンチエッティング領域2の対角線TV方向に伸びる部分が複数設けられた構成であってもよいし、対角線SU方向に伸びる部分が複数設けられた構成であってもよいし、その両方であってもよい。また、個々の非トレンチエッティング領域2において、第3のトレンチ7の、非トレンチエッティング領域2の対角線TV方向に伸びる部分の数や対角線SU方向に伸びる部分の数が異なっていてもよい。

【0088】

実施の形態6.

図6は、本発明の実施の形態6にかかる半導体装置のトレンチパターンの平面レイアウトを示す図である。図6に示すように、実施の形態6は、実施の形態1と実施の形態4を組み合わせたものである。すなわち、第3のトレンチ7は、図24に示すメッシュ状トレンチパターンの基本パターンにおいて、第1のトレンチ8に平行な部分と、非トレンチエッティング領域2の対角線TVに一致する部分とからなる。

【0089】

したがって、実施の形態6では、各非トレンチエッティング領域2は4つの小領域に分割されている。各非トレンチエッティング領域2において、非トレンチエッティング領域2に対するコンタクト部13は、それぞれの4つの小領域にまたがって形成される。図6に示すレイアウトでは、各長方形EFGH内におけるチャネル幅Wchおよびチャネル密度Pは、それぞれ、つきの(21)式および(22)式で与えられる。

【0090】

【数7】

$$W_{ch} = 2 \left(Lt + 2St + \sqrt{Lt^2 + St^2} \right) - W_s \left(\frac{(Lt + St)^2}{LtSt} + \left(\frac{5}{Lt} + \frac{1}{St} \right) \sqrt{Lt^2 + St^2} \right) \quad \cdots (21)$$

【数8】

$$P = \left\{ 2 \left(Lt + 2St + \sqrt{Lt^2 + St^2} \right) - Ws \left(\frac{(Lt + St)^2}{LtSt} + \left(\frac{5}{Lt} + \frac{1}{St} \right) \sqrt{Lt^2 + St^2} \right) \right\} / A$$

… (22)

【0091】

ここで、 Ws を、

【数9】

$$Ws < \frac{2 \left(St + \sqrt{Lt^2 + St^2} \right)}{\left(\frac{(Lt + St)^2}{LtSt} + \left(\frac{5}{Lt} + \frac{1}{St} \right) \sqrt{Lt^2 + St^2} \right)}$$

となるように設定することにより、上記(22)式と前記(4)式との比較より明らかのように、上記(22)式より得られるチャネル密度Pは、前記(4)式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態6のトレチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0092】

なお、第3のトレチ7は、第1のトレチ8に平行な部分が複数設けられた構成であってもよいし、非トレチエッチング領域2の対角線TV方向に伸びる部分が複数設けられた構成であってもよいし、その両方であってもよい。また、第3のトレチ7が、第1のトレチ8に平行な部分と非トレチエッチング領域2の対角線SU方向に伸びる部分とにより構成されていてもよい。

【0093】

また、第3のトレチ7の斜めの部分が対角線TV方向に伸びる非トレチエッチング領域2と、第3のトレチ7の斜めの部分が対角線SU方向に伸びる非トレチエッチング領域2とが混在していてもよい。また、第3のトレチ7の斜めの部分は、非トレチエッチング領域2の対角線TVまたはSUに一致していないなくてもよい。また、個々の非トレチエッチング領域2において、第3のト

レンチ 7 の、第 1 のトレンチ 8 に平行な部分の数と、非トレンチエッチング領域 2 の対角線 T V または S U の方向に伸びる部分の数とが異なっていてもよい。

【0094】

実施の形態 7.

図 7 は、本発明の実施の形態 7 にかかる半導体装置のトレンチパターンの平面レイアウトを示す図である。図 7 に示すように、実施の形態 7 は、実施の形態 2 と実施の形態 4 を組み合わせたものである。すなわち、第 3 のトレンチ 7 は、図 24 に示すメッシュ状トレンチパターンの基本パターンにおいて、第 2 のトレンチ 9 に平行な部分と、非トレンチエッチング領域 2 の対角線 T V に一致する部分とからなる。

【0095】

したがって、実施の形態 7 では、各非トレンチエッチング領域 2 は 4 つの小領域に分割されている。各非トレンチエッチング領域 2 において、非トレンチエッチング領域 2 に対するコンタクト部 13 は、それぞれの 4 つの小領域にまたがって形成される。ここで、図 7 では、コンタクト部 13 が 4 つの小領域にまたがることを明瞭に示すため、図 1～図 6 に比べてコンタクト部 13 が大きいが、実際にコンタクト部 13 が実施の形態 1～6 よりも大きくてもよいし、同じ大きさでもよい（図 9～図 11 においても同じ）。図 7 に示すレイアウトでは、各長方形 E F G H 内におけるチャネル幅 Wch およびチャネル密度 P は、それぞれ、つきの（23）式および（24）式で与えられる。

【0096】

【数 10】

$$Wch = 2 \left(2Lt + St + \sqrt{Lt^2 + St^2} \right) - Ws \left(\frac{(Lt + St)^2}{LtSt} + \left(\frac{1}{Lt} + \frac{5}{St} \right) \sqrt{Lt^2 + St^2} \right) \quad \cdots (23)$$

【数11】

$$P = \left\{ 2 \left(2Lt + St + \sqrt{Lt^2 + St^2} \right) - Ws \left(\frac{(Lt + St)^2}{LtSt} + \left(\frac{1}{Lt} + \frac{5}{St} \right) \sqrt{Lt^2 + St^2} \right) \right\} / A$$

… (24)

【0097】

ここで、Wsを、

【数12】

$$Ws < \frac{2 \left(Lt + \sqrt{Lt^2 + St^2} \right)}{\left(\frac{(Lt + St)^2}{LtSt} + \left(\frac{1}{Lt} + \frac{5}{St} \right) \sqrt{Lt^2 + St^2} \right)}$$

となるように設定することにより、上記(24)式と前記(4)式との比較より明らかのように、上記(24)式より得られるチャネル密度Pは、前記(4)式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態7のトレチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0098】

なお、第3のトレチ7は、第2のトレチ9に平行な部分が複数設けられた構成であってもよいし、非トレチエッチング領域2の対角線TV方向に伸びる部分が複数設けられた構成であってもよいし、その両方であってもよい。また、第3のトレチ7が、第2のトレチ9に平行な部分と非トレチエッチング領域2の対角線SU方向に伸びる部分とにより構成されていてもよい。

【0099】

また、第3のトレチ7の斜めの部分が対角線TV方向に伸びる非トレチエッチング領域2と、第3のトレチ7の斜めの部分が対角線SU方向に伸びる非トレチエッチング領域2とが混在していてもよい。また、第3のトレチ7の斜めの部分は、非トレチエッチング領域2の対角線TVまたはSUに一致していないなくてもよい。また、個々の非トレチエッチング領域2において、第3のトレチ7の、第2のトレチ9に平行な部分の数と、非トレチエッチング領域

2の対角線TVまたはSUの方向に伸びる部分の数とが異なっていてもよい。

【0100】

実施の形態8.

図8は、本発明の実施の形態8にかかる半導体装置のトレンチパターンの平面レイアウトを示す図である。図8に示すように、実施の形態8は、実施の形態1と実施の形態5を組み合わせたものである。すなわち、第3のトレンチ7は、図24に示すメッシュ状トレンチパターンの基本パターンにおいて、第1のトレンチ8に平行な部分と、非トレンチエッティング領域2の対角線TVに一致する部分と、対角線SUに一致する部分とからなる。

【0101】

したがって、実施の形態8では、各非トレンチエッティング領域2は6つの小領域に分割されている。各非トレンチエッティング領域2において、非トレンチエッティング領域2に対するコンタクト部13は、それぞれの6つの小領域にまたがって形成される。図8に示すレイアウトでは、各長方形EFGH内におけるチャネル幅Wchおよびチャネル密度Pは、それぞれ、つぎの(25)式および(26)式で与えられる。

【0102】

【数13】

$$Wch = 2 \left\{ \left(Lt + 2St + 2\sqrt{Lt^2 + St^2} \right) - Ws \left(\frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right) \left(St + \sqrt{Lt^2 + St^2} \right)}{LtSt} \right) \right\} \quad \dots (25)$$

【数14】

$$P = 2 \left\{ \left(Lt + 2St + 2\sqrt{Lt^2 + St^2} \right) - Ws \left(\frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right) \left(St + \sqrt{Lt^2 + St^2} \right)}{LtSt} \right) \right\} / A \quad \dots (26)$$

【0103】

ここで、 W_s を、

【数15】

$$W_s < \left(\frac{St}{Lt} \right) \frac{\left(-St + \sqrt{Lt^2 + St^2} \right) \left(St + 2\sqrt{Lt^2 + St^2} \right) \left(-Lt - St + 2\sqrt{Lt^2 + St^2} \right)}{\left(3Lt^2 + 3St^2 - 2LtSt \right)}$$

となるように設定することにより、上記(26)式と前記(4)式との比較より明らかなように、上記(26)式より得られるチャネル密度Pは、前記(4)式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態8のトレントレンチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0104】

なお、第3のトレントレンチ7は、第1のトレントレンチ8に平行な部分が複数設けられた構成であってもよいし、非トレントレンチング領域2の対角線TV方向に伸びる部分が複数設けられた構成であってもよいし、対角線SU方向に伸びる部分が複数設けられた構成であってもよいし、それらを適宜組み合わせた構成であってもよい。また、第3のトレントレンチ7の斜めの部分は、非トレントレンチング領域2の対角線TVまたはSUに一致していなくてもよい。また、個々の非トレントレンチング領域2において、第3のトレントレンチ7の、第1のトレントレンチ8に平行な部分の数と、非トレントレンチング領域2の対角線TV方向に伸びる部分の数と、対角線SU方向に伸びる部分の数とが異なっていてもよい。

【0105】

実施の形態9。

図9は、本発明の実施の形態9にかかる半導体装置のトレントレンチパターンの平面レイアウトを示す図である。図9に示すように、実施の形態9は、実施の形態2と実施の形態5を組み合わせたものである。すなわち、第3のトレントレンチ7は、図24に示すメッシュ状トレントレンチパターンの基本パターンにおいて、第2のトレントレンチ9に平行な部分と、非トレントレンチング領域2の対角線TVに一致する部分

と、対角線 S U に一致する部分とからなる。

【0106】

したがって、実施の形態9では、各非トレーニング領域2は6つの小領域に分割されている。各非トレーニング領域2において、非トレーニング領域2に対するコンタクト部13は、それぞれの6つの小領域にまたがって形成される。図9に示すレイアウトでは、各長方形E F G H内におけるチャネル幅Wchおよびチャネル密度Pは、それぞれ、つぎの(27)式および(28)式で与えられる。

【0107】

【数16】

$$Wch = 2 \left\{ \left(2Lt + St + 2\sqrt{Lt^2 + St^2} \right) - Ws \left(\frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right) \left(Lt + \sqrt{Lt^2 + St^2} \right)}{LtSt} \right) \right\} \quad \cdots (27)$$

【数17】

$$P = 2 \left\{ \left(2Lt + St + 2\sqrt{Lt^2 + St^2} \right) - Ws \left(\frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right) \left(Lt + \sqrt{Lt^2 + St^2} \right)}{LtSt} \right) \right\} / A \quad \cdots (28)$$

【0108】

ここで、Wsを、

【数18】

$$Ws < \left(\frac{Lt}{St} \right) \frac{\left(-Lt + \sqrt{Lt^2 + St^2} \right) \left(Lt + 2\sqrt{Lt^2 + St^2} \right) \left(-Lt - St + 2\sqrt{Lt^2 + St^2} \right)}{\left(3Lt^2 + 3St^2 - 2LtSt \right)}$$

となるように設定することにより、上記(28)式と前記(4)式との比較より明らかのように、上記(28)式より得られるチャネル密度Pは、前記(4)式

より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態9のトレチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0109】

なお、第3のトレチ7は、第2のトレチ9に平行な部分が複数設けられた構成であってもよいし、非トレチエッチング領域2の対角線TV方向に伸びる部分が複数設けられた構成であってもよいし、対角線SU方向に伸びる部分が複数設けられた構成であってもよいし、それらを適宜組み合わせた構成であってもよい。また、第3のトレチ7の斜めの部分は、非トレチエッチング領域2の対角線TVまたはSUに一致していなくてもよい。また、個々の非トレチエッチング領域2において、第3のトレチ7の、第2のトレチ9に平行な部分の数と、非トレチエッチング領域2の対角線TV方向に伸びる部分の数と、対角線SU方向に伸びる部分の数とが異なっていてもよい。

【0110】

実施の形態10。

図10は、本発明の実施の形態10にかかる半導体装置のトレチパターンの平面レイアウトを示す図である。図10に示すように、実施の形態10は、実施の形態3と実施の形態4を組み合わせたものである。すなわち、第3のトレチ7は、図24に示すメッシュ状トレチパターンの基本パターンにおいて、第1のトレチ8に平行な部分と、第2のトレチ9に平行な部分と、非トレチエッチング領域2の対角線TVに一致する部分とからなる。

【0111】

したがって、実施の形態10では、各非トレチエッチング領域2は6つの小領域に分割されている。各非トレチエッチング領域2において、非トレチエッチング領域2に対するコンタクト部13は、それぞれの6つの小領域にまたがって形成される。図10に示すレイアウトでは、各長方形EFGH内におけるチャネル幅Wchおよびチャネル密度Pは、それぞれ、つぎの(29)式および(30)式で与えられる。

【0112】

【数19】

$$W_{ch} = \left(4Lt + 4St + 2\sqrt{Lt^2 + St^2} \right) - Ws \left(2 + \frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right) \left(Lt + \sqrt{Lt^2 + St^2} \right)}{LtSt} \right)$$

… (29)

【数20】

$$P = \left\{ \left(4Lt + 4St + 2\sqrt{Lt^2 + St^2} \right) - Ws \left(2 + \frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right) \left(Lt + \sqrt{Lt^2 + St^2} \right)}{LtSt} \right) \right\} / A$$

… (30)

【0113】

ここで、 W_s を、

【数21】

$$W_s < \frac{2 \left(Lt + St + \sqrt{Lt^2 + St^2} \right)}{\left(2 + \frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right) \left(Lt + \sqrt{Lt^2 + St^2} \right)}{LtSt} \right)}$$

となるように設定することにより、上記(30)式と前記(4)式との比較より明らかのように、上記(30)式より得られるチャネル密度Pは、前記(4)式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態10のトレチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0114】

なお、第3のトレチ7は、第1のトレチ8に平行な部分が複数設けられた構成であってもよいし、第2のトレチ9に平行な部分が複数設けられた構成であってもよいし、非トレチエッティング領域2の対角線TV方向に伸びる部分が複数設けられた構成であってもよいし、それらを適宜組み合わせた構成であって

もよい。また、第3のトレンチ7が、第1のトレンチ8に平行な部分と第2のトレンチ9に平行な部分と非トレンチエッチング領域2の対角線SU方向に伸びる部分とにより構成されていてもよい。

【0115】

また、第3のトレンチ7の斜めの部分が対角線TV方向に伸びる非トレンチエッチング領域2と、第3のトレンチ7の斜めの部分が対角線SU方向に伸びる非トレンチエッチング領域2とが混在していてもよい。また、第3のトレンチ7の斜めの部分は、非トレンチエッチング領域2の対角線TVまたはSUに一致していなくてもよい。また、個々の非トレンチエッチング領域2において、第3のトレンチ7の、第1のトレンチ8に平行な部分の数と、第2のトレンチ9に平行な部分の数と、非トレンチエッチング領域2の対角線TVまたはSUの方向に伸びる部分の数とが異なっていてもよい。

【0116】

実施の形態11.

図11は、本発明の実施の形態11にかかる半導体装置のトレンチパターンの平面レイアウトを示す図である。図11に示すように、実施の形態11は、実施の形態3と実施の形態5を組み合わせたものである。すなわち、第3のトレンチ7は、図24に示すメッシュ状トレンチパターンの基本パターンにおいて、第1のトレンチ8に平行な部分と、第2のトレンチ9に平行な部分と、非トレンチエッチング領域2の対角線TVに一致する部分と、対角線SUに一致する部分とからなる。

【0117】

したがって、実施の形態11では、各非トレンチエッチング領域2は8つの小領域に分割されている。各非トレンチエッチング領域2において、非トレンチエッチング領域2に対するコンタクト部13は、それぞれの8つの小領域にまたがって形成される。図11に示すレイアウトでは、各長方形EFGH内におけるチャネル幅Wchおよびチャネル密度Pは、それぞれ、つぎの（31）式および（32）式で与えられる。

【0118】

【数22】

$$W_{ch} = 2 \left(Lt + St + \sqrt{Lt^2 + St^2} \right) \left(2 - W_s \cdot \frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right)}{LtSt} \right) \quad \cdots (31)$$

【数23】

$$P = 2 \left(Lt + St + \sqrt{Lt^2 + St^2} \right) \left(2 - W_s \cdot \frac{\left(Lt + St + 2\sqrt{Lt^2 + St^2} \right)}{LtSt} \right) / A \quad \cdots (32)$$

【0119】

ここで、 W_s を

【数24】

$$W_s < \frac{\left(Lt + St - \sqrt{Lt^2 + St^2} \right)}{2}$$

となるように設定することにより、上記(32)式と前記(4)式との比較より明らかのように、上記(32)式より得られるチャネル密度Pは、前記(4)式より得られるチャネル密度Pよりも大きくなる。つまり、実施の形態11のトレンチパターンの方が、図24に示すパターンよりも、チャネル密度Pが大きくなる。

【0120】

なお、第3のトレンチ7は、第1のトレンチ8に平行な部分が複数設けられた構成であってもよいし、第2のトレンチ9に平行な部分が複数設けられた構成であってもよい。また、非トレンチエッティング領域2の対角線TV方向に伸びる部分が複数設けられた構成であってもよいし、対角線SU方向に伸びる部分が複数設けられた構成であってもよい。また、それらを適宜組み合わせた構成であってもよい。

【0121】

また、第3のトレンチ7の斜めの部分は、非トレンチエッティング領域2の対角

線TVまたはSUに一致していなくてもよい。また、個々の非トレンチエッティング領域2において、第3のトレンチ7の、第1のトレンチ8に平行な部分の数と、第2のトレンチ9に平行な部分の数と、非トレンチエッティング領域2の対角線TVの方向に伸びる部分の数と、対角線SUの方向に伸びる部分の数とが異なっていてもよい。

【0122】

以上、詳述したように、各実施の形態によれば、非トレンチエッティング領域2におけるコンタクトの大きさを、図24に示すメッシュパターンでの大きさと同じにした状態で、図24に示すメッシュパターンよりもチャネル密度Pを大きくすることができるので、コンタクト抵抗の増大を抑制することができる。また、コンタクトホールの開口不良による導通不良の発生を防ぐことができる。したがって、半導体と電極とのコンタクト部分の高い導電性を確保しつつ、低オン抵抗化を図ることができる。

【0123】

以上において本発明は、上述した各実施の形態に限らず、種々変更可能である。たとえば、非トレンチエッティング領域2は、長方形以外の四角形や、五角形以上の多角形などでもよい。また、TLPMの断面構造も、図12～図23に示す構成に限らず、たとえばトレンチ底部にソース領域が存在するTLPMにおいて、第1および第2のゲート領域のトレンチ9, 7の底部に、n⁺ソース領域27とPベース領域31を設けた構成としてもよい。また、トレンチ底部にドレイン領域が存在するTLPMにおいて、第1および第2のゲート領域のトレンチ9, 7の底部に、n⁺ドレイン領域29とPベース領域31を設けた構成としてもよい。また、p型およびn型の導電型を逆転させた構成としてもよい。

【0124】

【発明の効果】

本発明によれば、非トレンチエッティング領域においてドレイン領域（またはソース領域）とドレイン電極（またはソース電極）とを接続するためのコンタクト部を、非トレンチエッティング領域を第3のトレンチにより小領域に分割しない場合のコンタクト部と同じ大きさにすることができるので、コンタクト抵抗の増大

を抑制し、またコンタクトホールの開口不良による導通不良の発生を防ぐことができる。したがって、半導体と電極とのコンタクト部分の高い導電性を確保しつつ、トレンチの微細化による低オン抵抗化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 にかかるメッシュ状トレンチパターンの平面レイアウトを示す図である。

【図 2】

本発明の実施の形態 2 にかかるメッシュ状トレンチパターンの平面レイアウトを示す図である。

【図 3】

本発明の実施の形態 3 にかかるメッシュ状トレンチパターンの平面レイアウトを示す図である。

【図 4】

本発明の実施の形態 4 にかかるメッシュ状トレンチパターンの平面レイアウトを示す図である。

【図 5】

本発明の実施の形態 5 にかかるメッシュ状トレンチパターンの平面レイアウトを示す図である。

【図 6】

本発明の実施の形態 6 にかかるメッシュ状トレンチパターンの平面レイアウトを示す図である。

【図 7】

本発明の実施の形態 7 にかかるメッシュ状トレンチパターンの平面レイアウトを示す図である。

【図 8】

本発明の実施の形態 8 にかかるメッシュ状トレンチパターンの平面レイアウトを示す図である。

【図 9】

本発明の実施の形態9にかかるメッシュ状トレチパターンの平面レイアウトを示す図である。

【図10】

本発明の実施の形態10にかかるメッシュ状トレチパターンの平面レイアウトを示す図である。

【図11】

本発明の実施の形態11にかかるメッシュ状トレチパターンの平面レイアウトを示す図である。

【図12】

本発明にかかるメッシュ状トレチパターンに適用可能な第1のTLPの活性領域における断面構造を示す図である。

【図13】

本発明にかかるメッシュ状トレチパターンに適用可能な第1のTLPの第1のゲート領域における断面構造を示す図である。

【図14】

本発明にかかるメッシュ状トレチパターンに適用可能な第1のTLPの第2のゲート領域における断面構造を示す図である。

【図15】

本発明にかかるメッシュ状トレチパターンに適用可能な第2のTLPの活性領域における断面構造を示す図である。

【図16】

本発明にかかるメッシュ状トレチパターンに適用可能な第2のTLPの第1のゲート領域における断面構造を示す図である。

【図17】

本発明にかかるメッシュ状トレチパターンに適用可能な第2のTLPの第2のゲート領域における断面構造を示す図である。

【図18】

本発明にかかるメッシュ状トレチパターンに適用可能な第3のTLPの活性領域における断面構造を示す図である。

【図19】

本発明にかかるメッシュ状トレチパターンに適用可能な第3のT L P Mの第1のゲート領域における断面構造を示す図である。

【図20】

本発明にかかるメッシュ状トレチパターンに適用可能な第3のT L P Mの第2のゲート領域における断面構造を示す図である。

【図21】

本発明にかかるメッシュ状トレチパターンに適用可能な第4のT L P Mの活性領域における断面構造を示す図である。

【図22】

本発明にかかるメッシュ状トレチパターンに適用可能な第4のT L P Mの第1のゲート領域における断面構造を示す図である。

【図23】

本発明にかかるメッシュ状トレチパターンに適用可能な第4のT L P Mの第2のゲート領域における断面構造を示す図である。

【図24】

メッシュ状トレチパターンの平面レイアウトを示す図である。

【図25】

ストライプ状トレチパターンの平面レイアウトを示す図である。

【符号の説明】

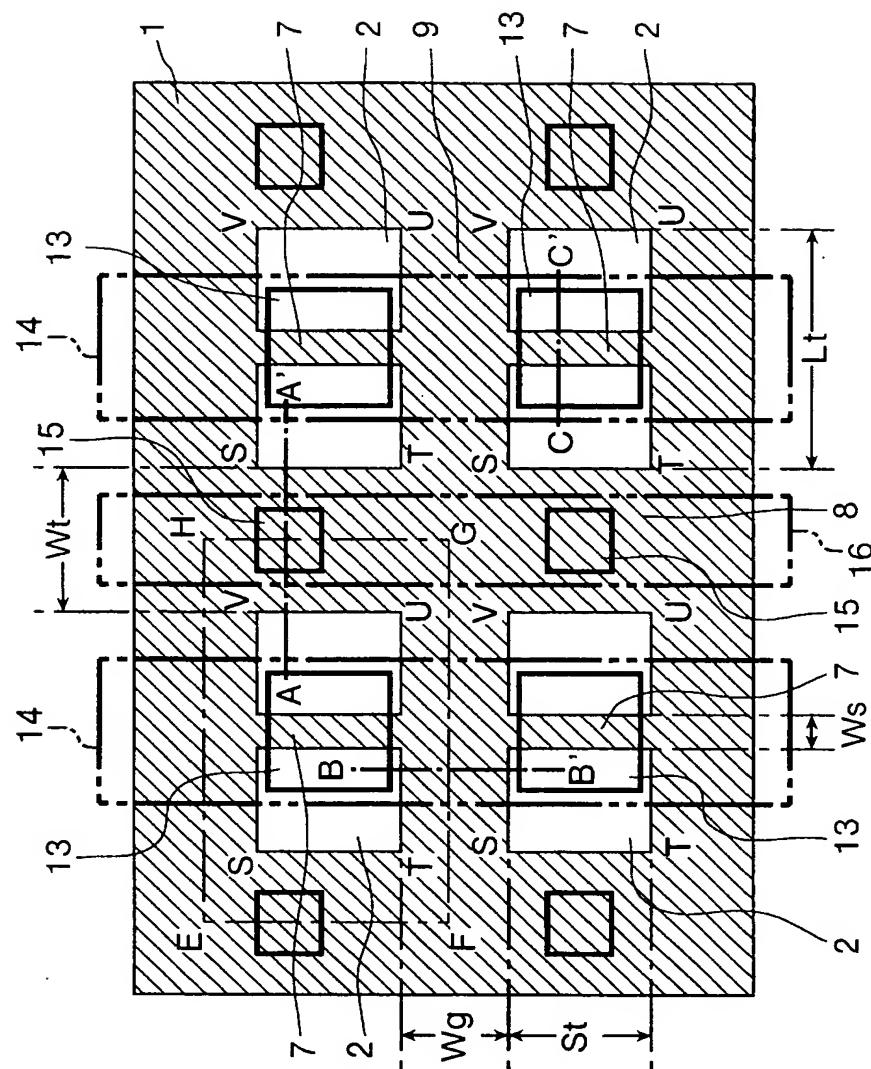
- 1 トレチエッティング領域
- 2 非トレチエッティング領域
- 7 第3のトレチ
- 8 第1のトレチ
- 9 第2のトレチ
- 13 コンタクト部
- 14 第1の電極
- 16 第2の電極
- 21 半導体基板

- 2 2 ゲート絶縁膜
- 2 3 第1の導電体（ゲートポリシリコン）
- 2 4, 2 6 層間絶縁膜
- 2 5 第2の導電体（ソースポリシリコン）
- 2 7 第1の拡散領域（ソース領域）
- 2 9 第2の拡散領域（ドレイン領域）
- 4 1 厚い層間絶縁膜

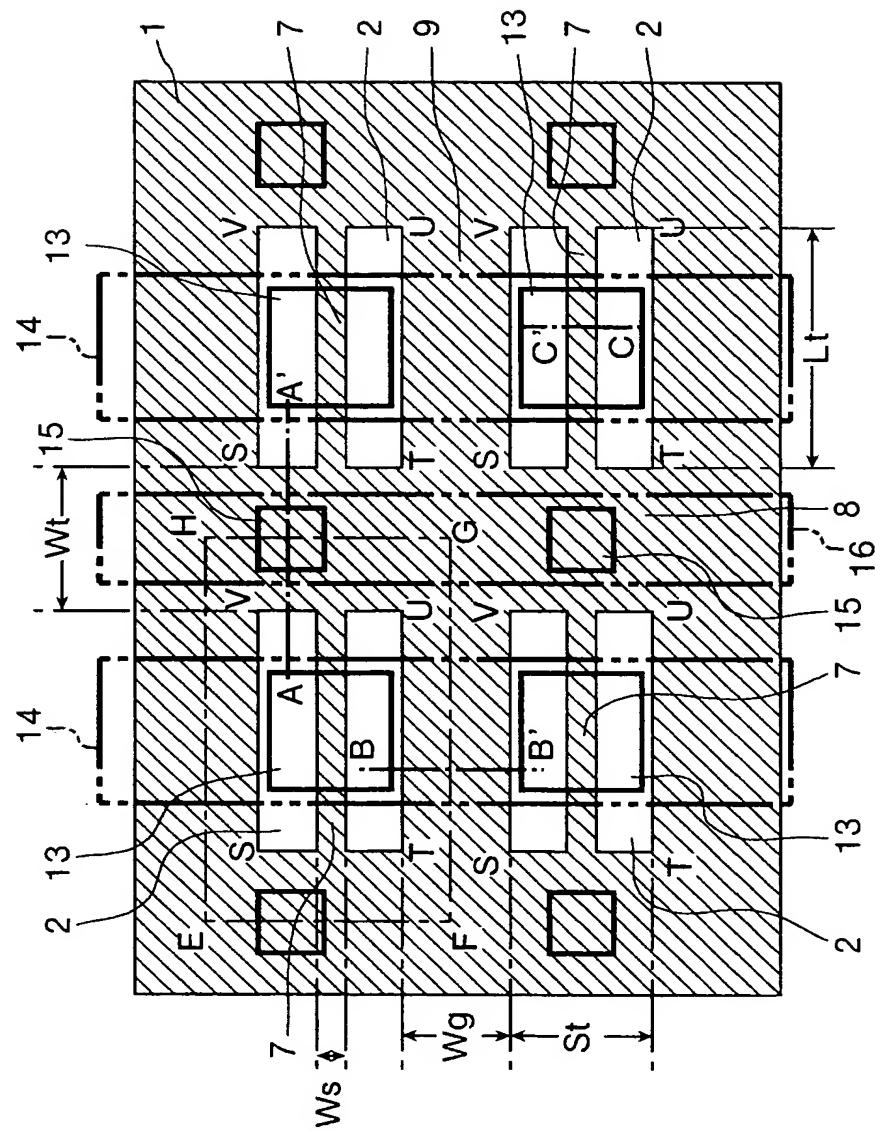
【書類名】

図面

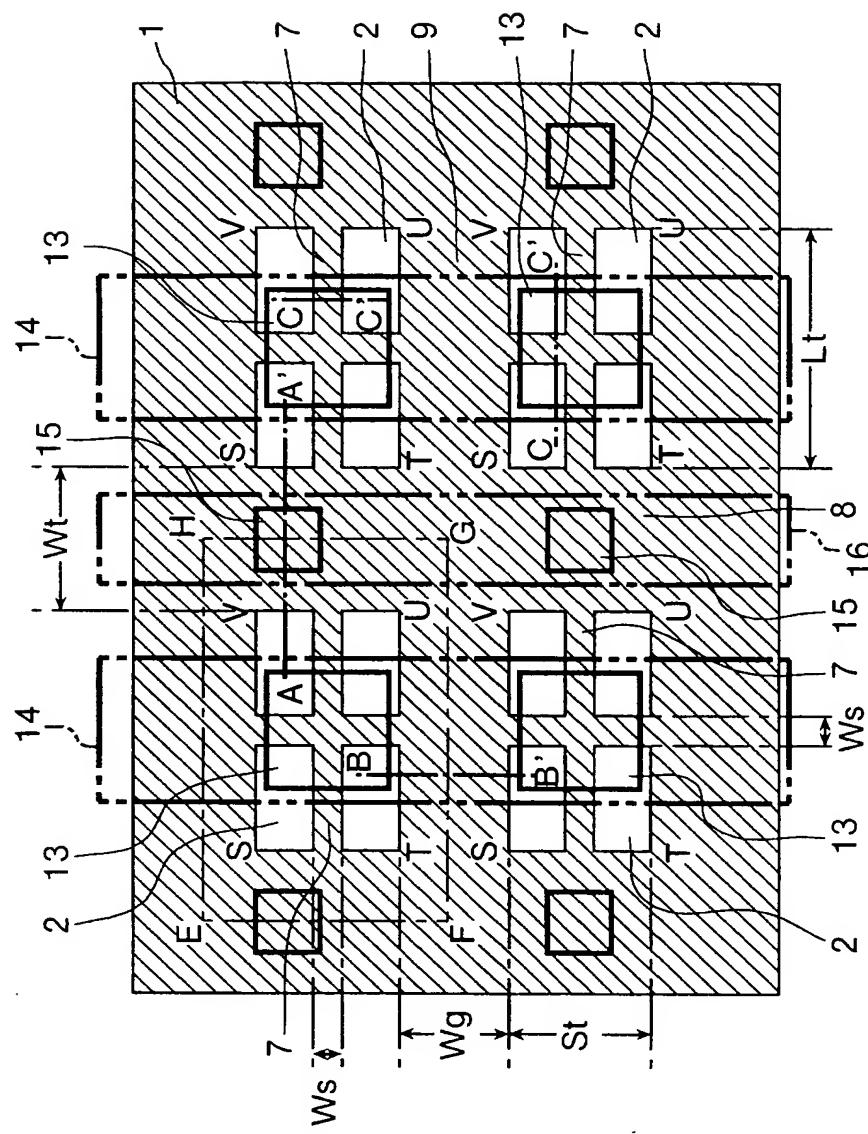
【図 1】



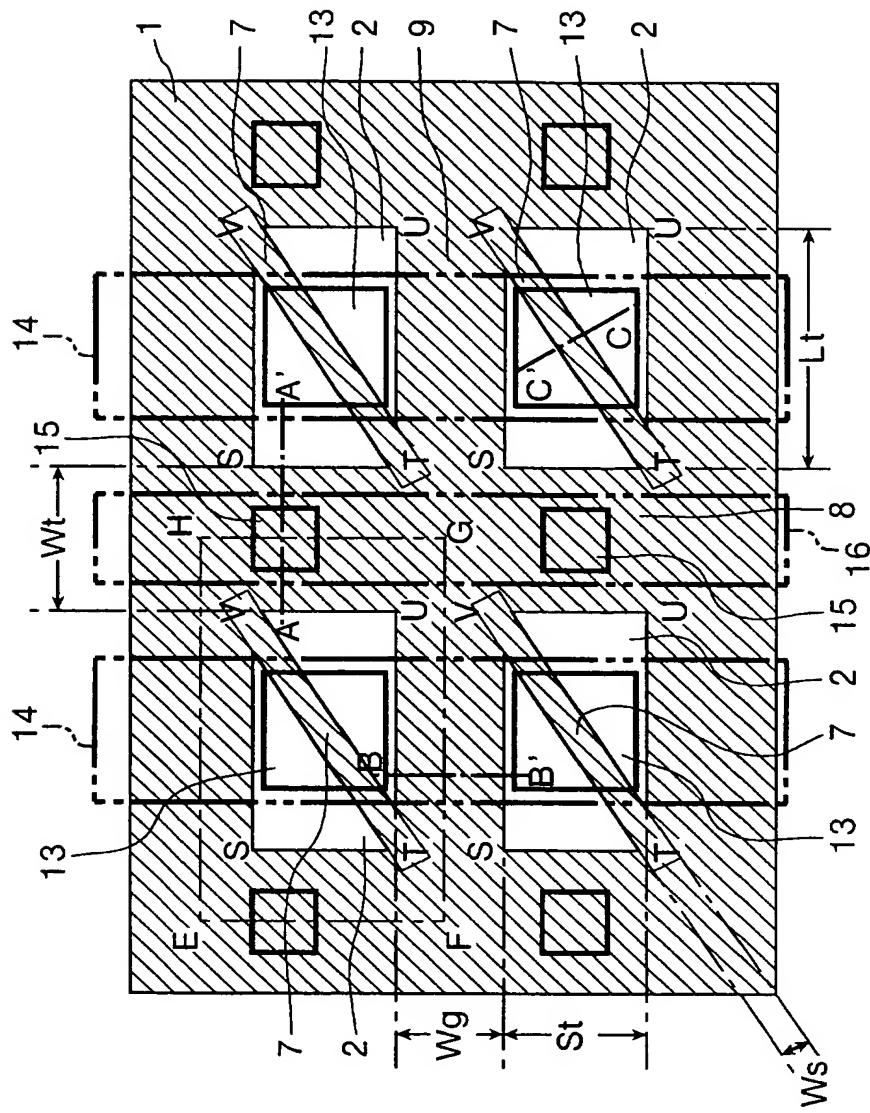
【図 2】



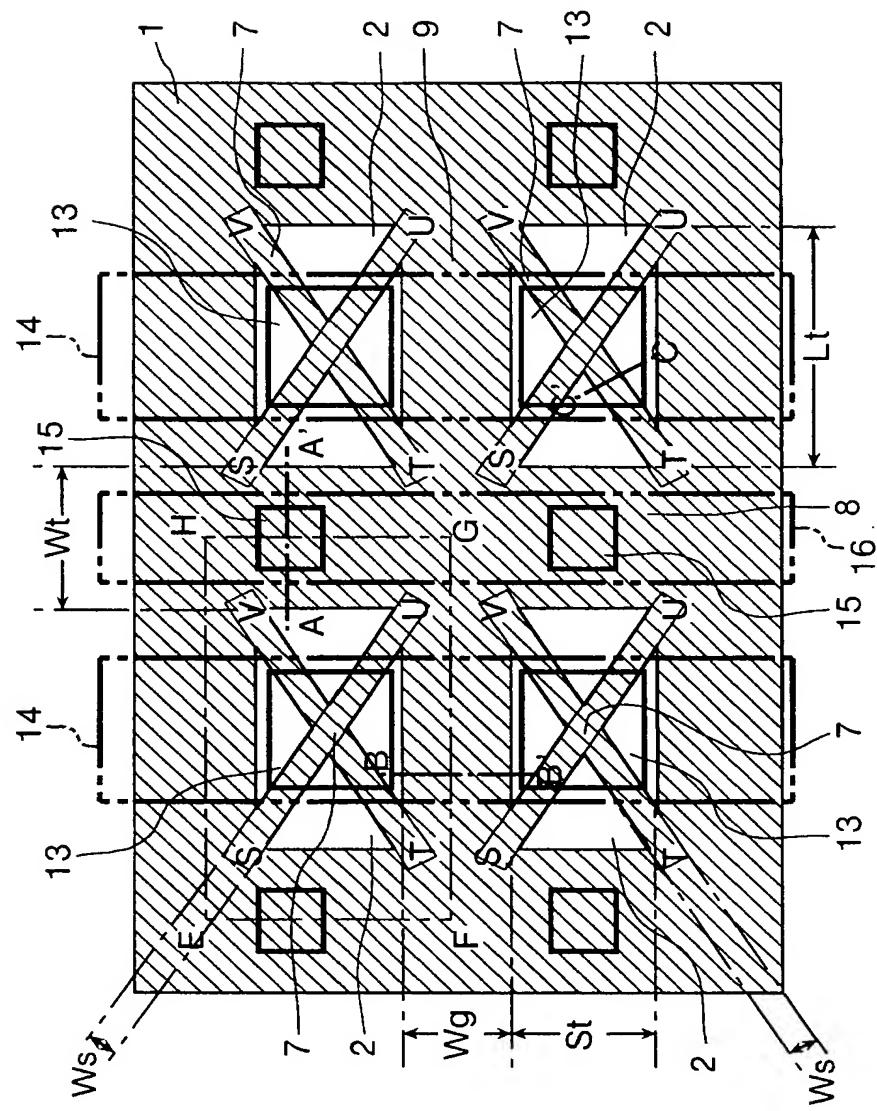
【図3】



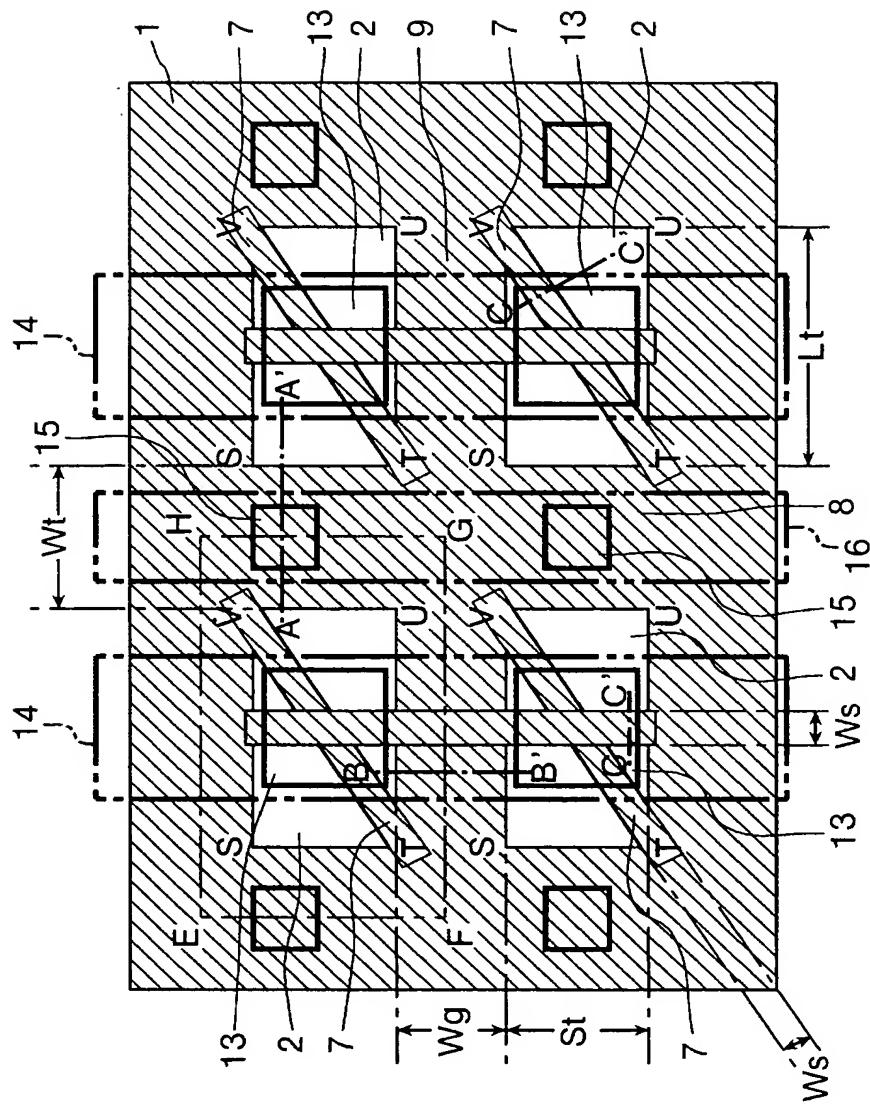
【図 4】



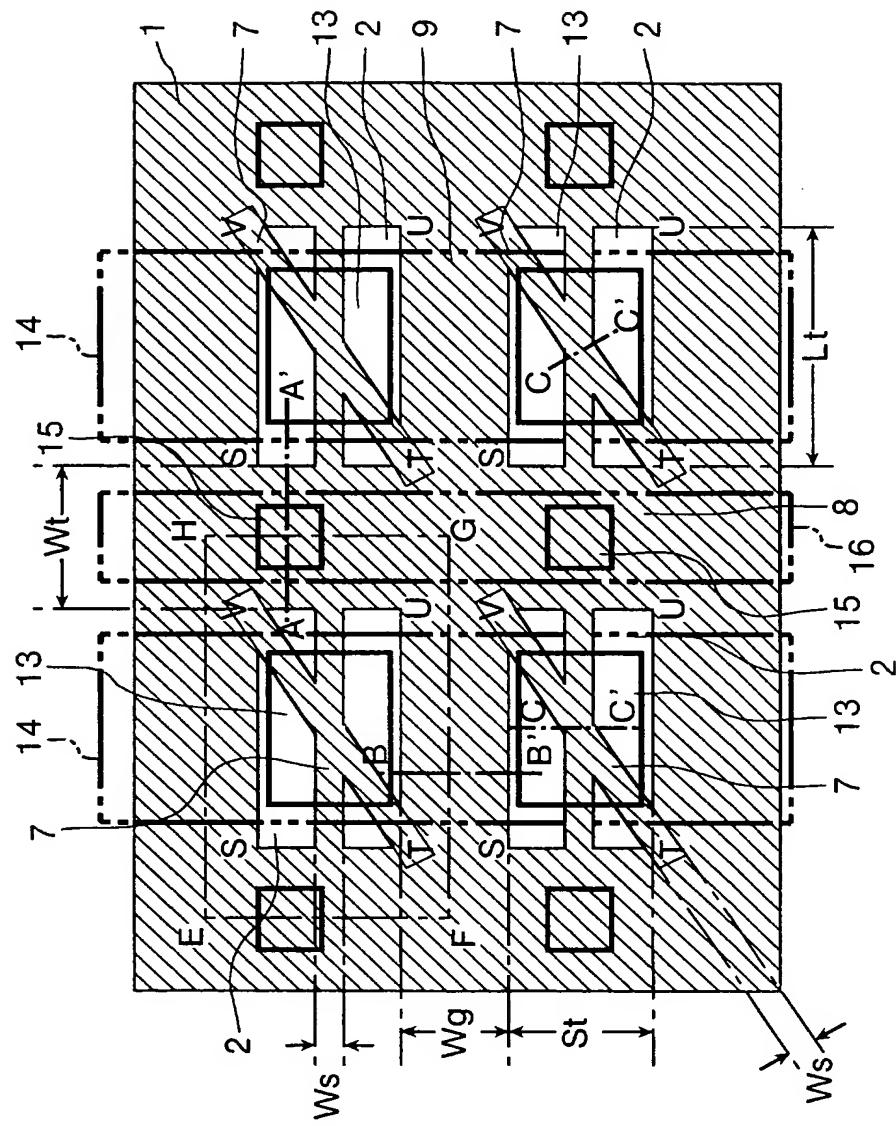
【図 5】



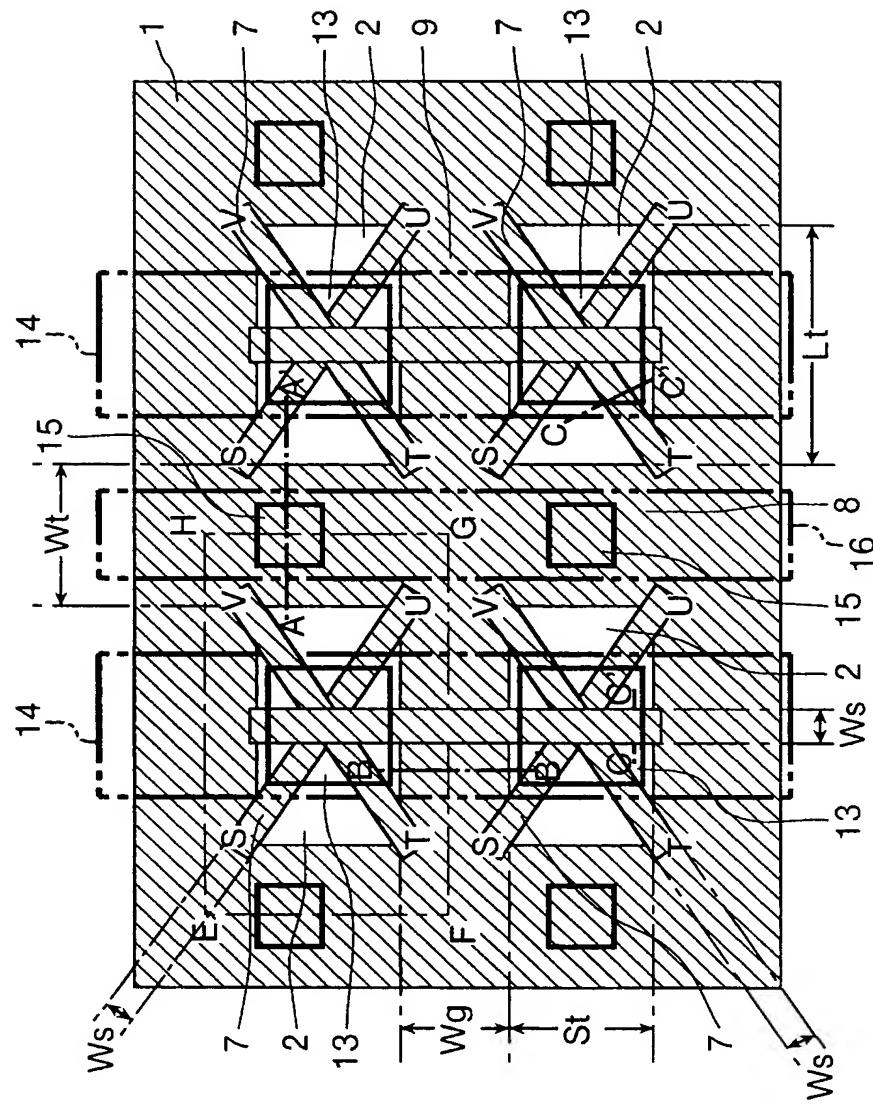
【図6】



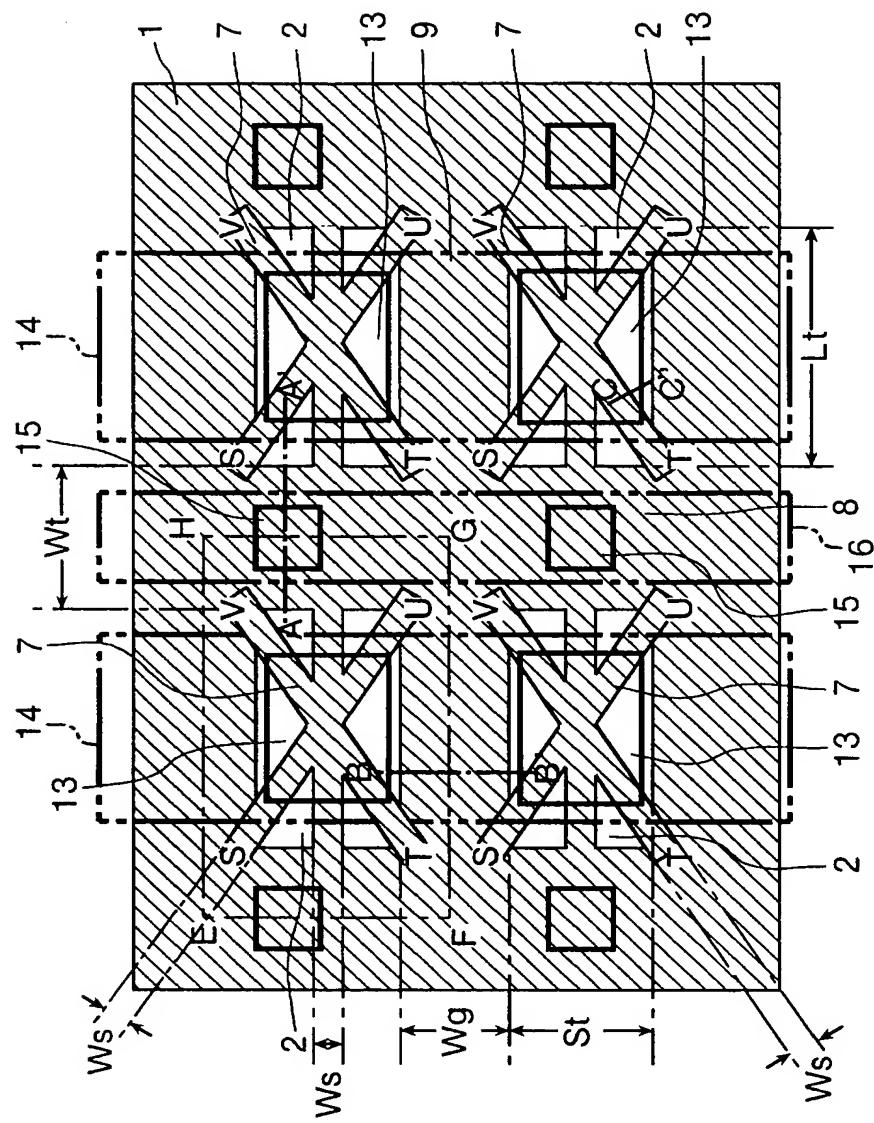
【図7】



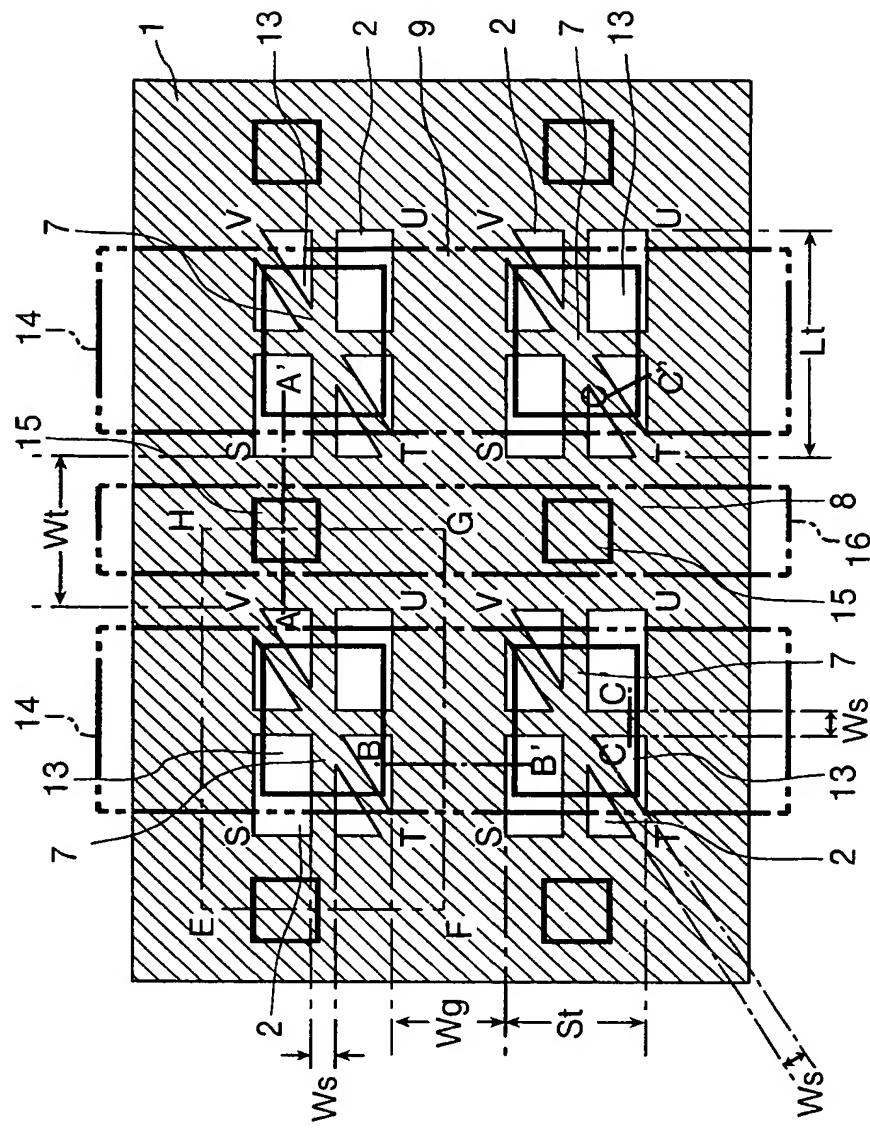
【図 8】



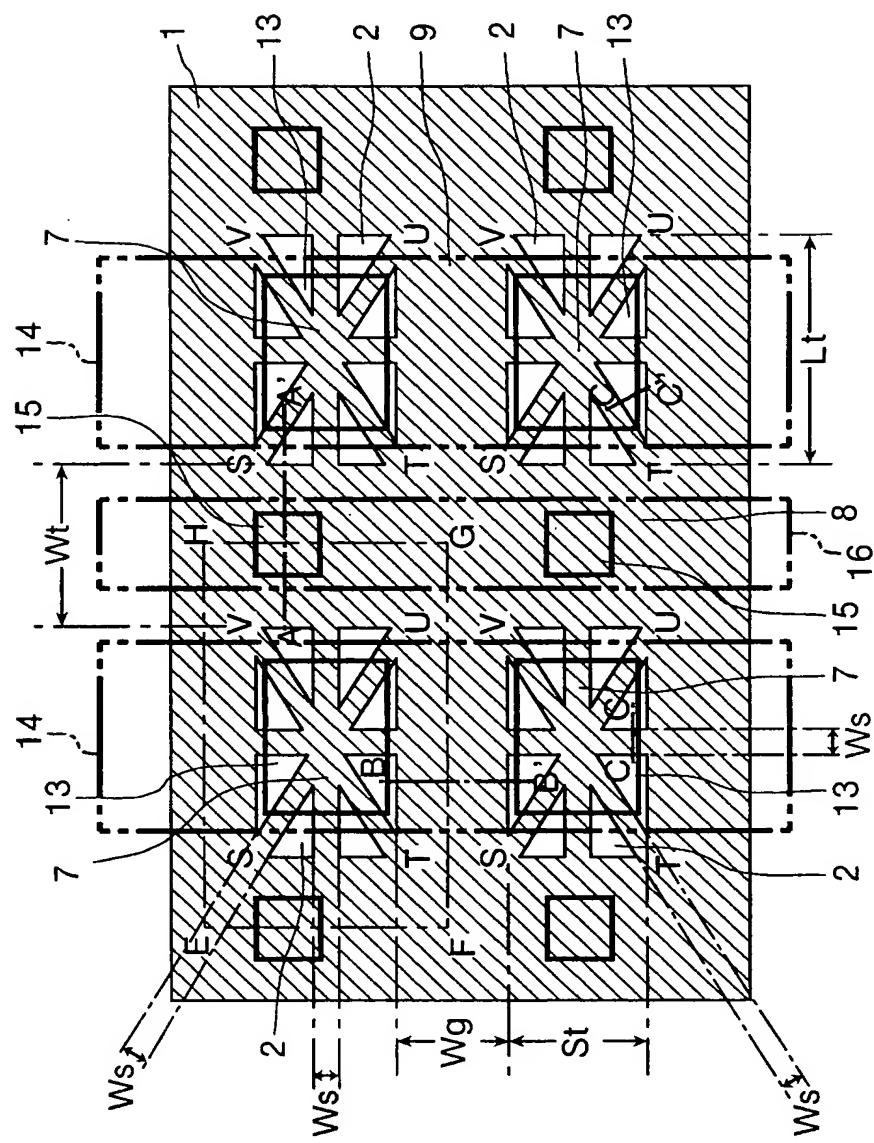
【図9】



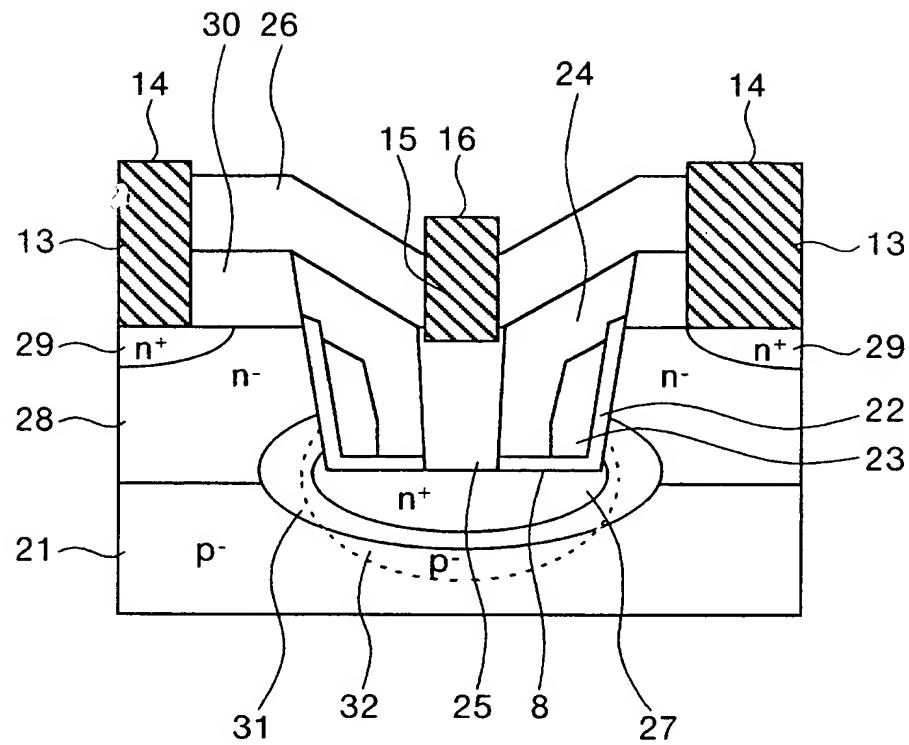
【図10】



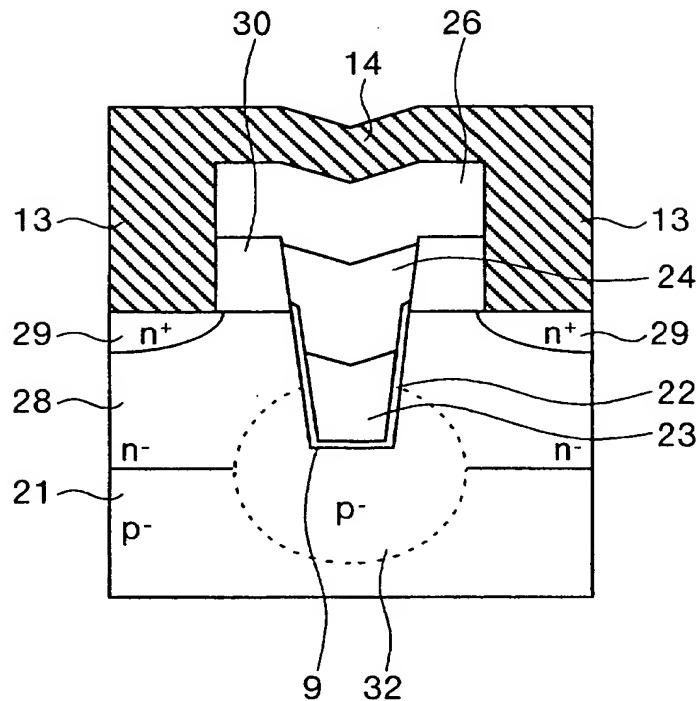
【図 11】



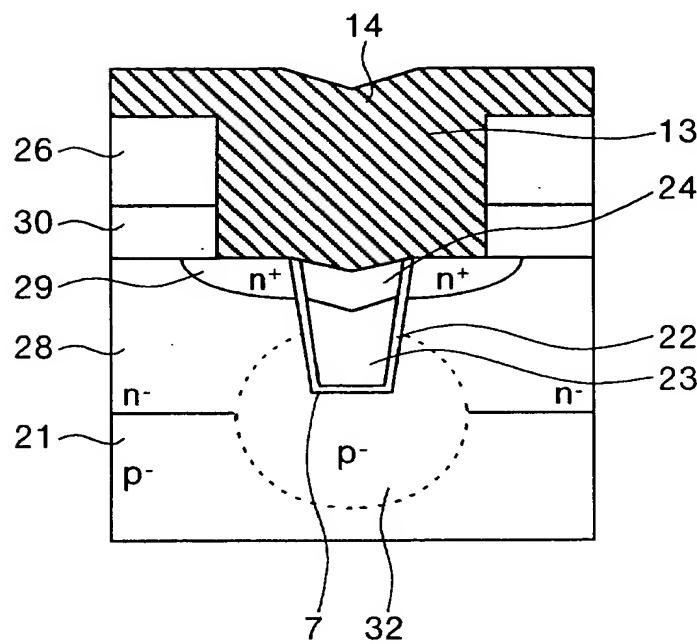
【図12】



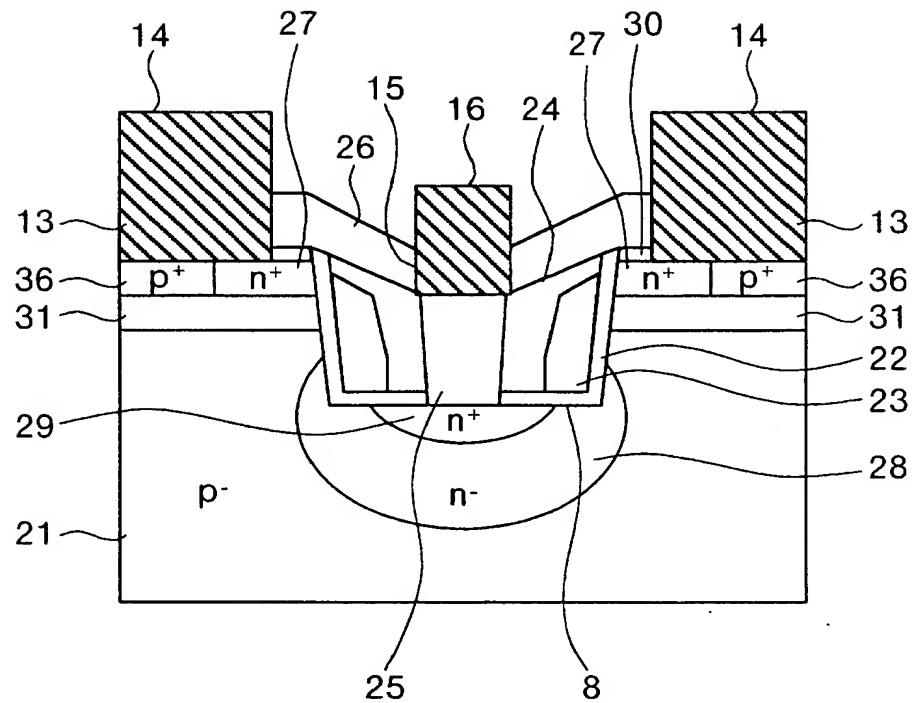
【図 13】



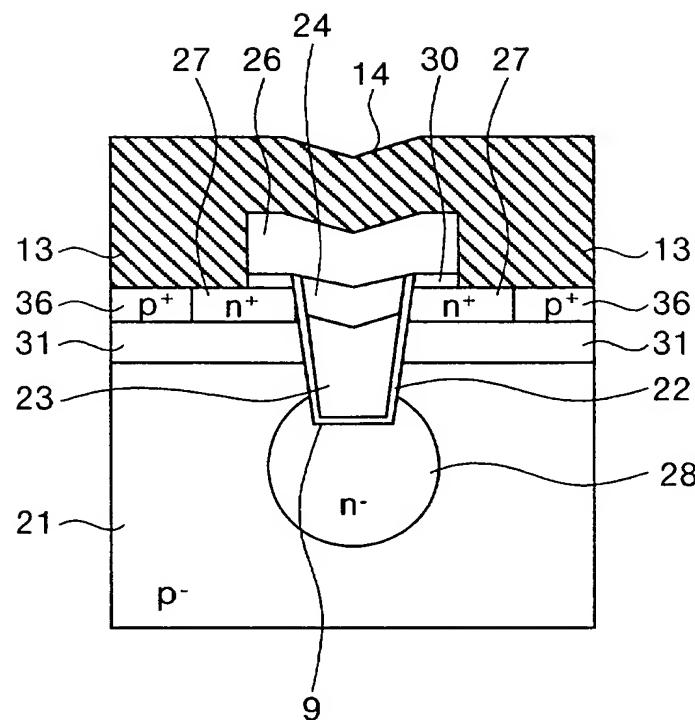
【図 14】



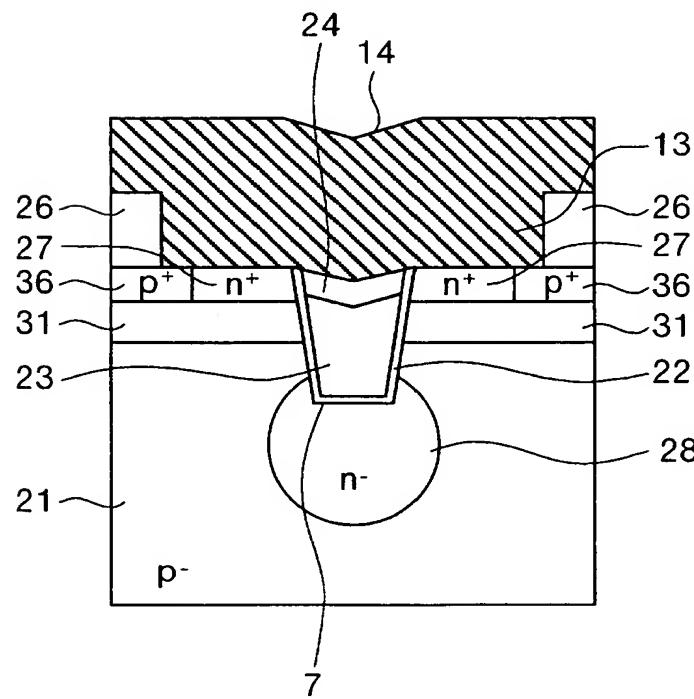
【図15】



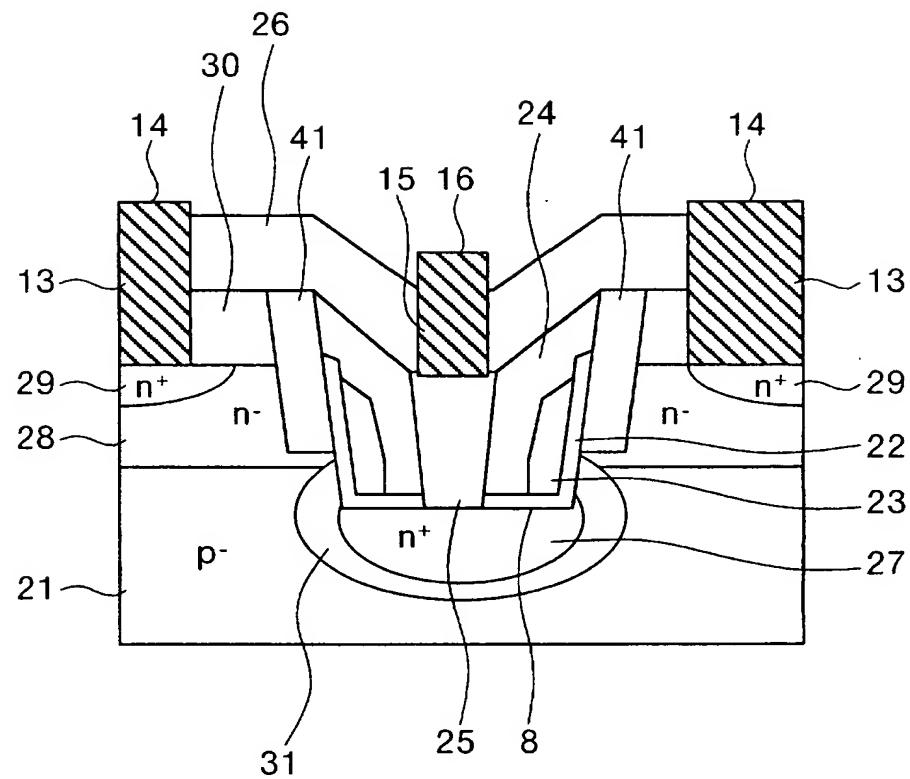
【図16】



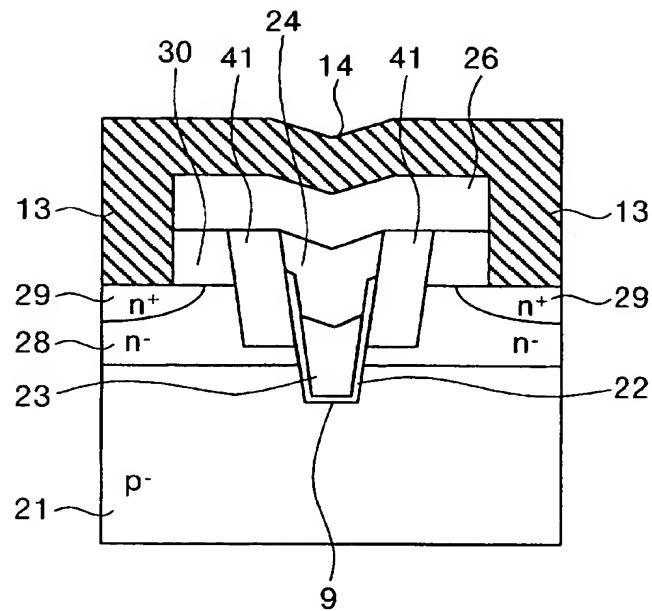
【図17】



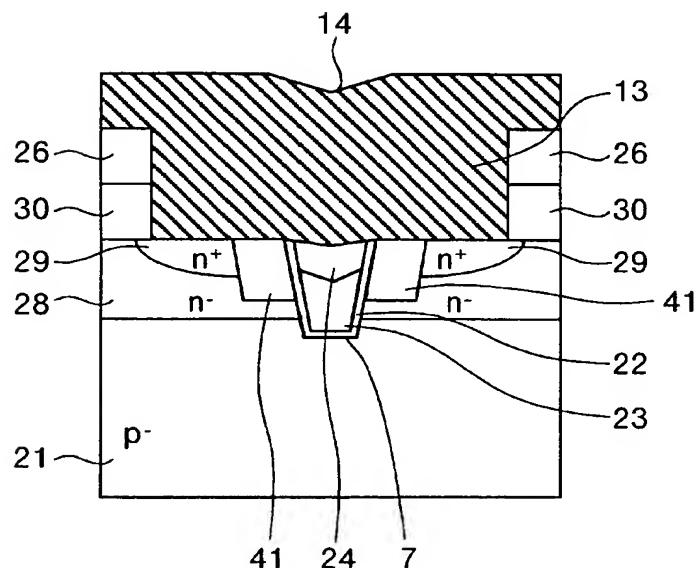
【図18】



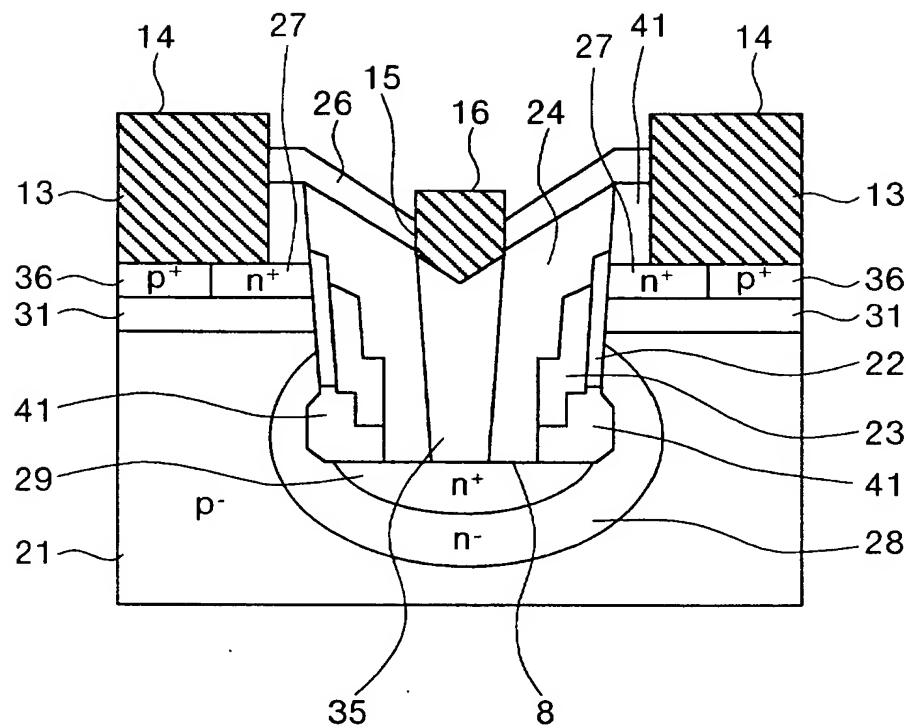
【図 19】



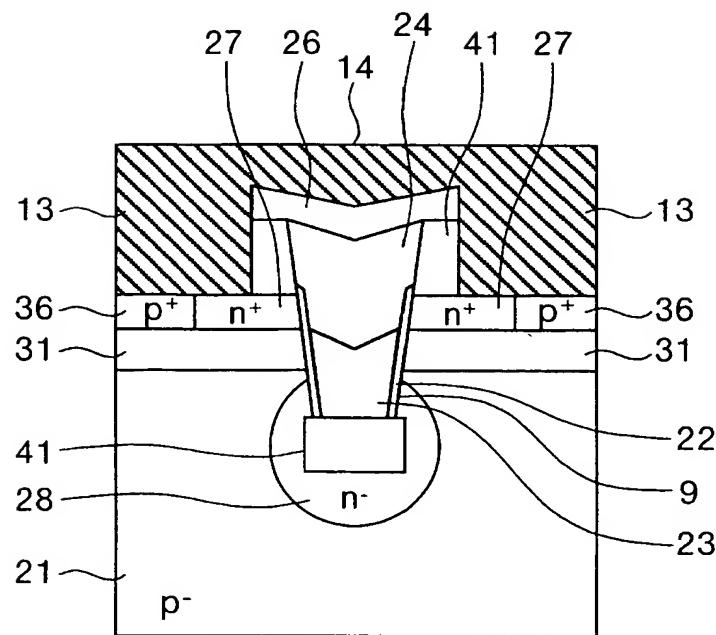
【図 20】



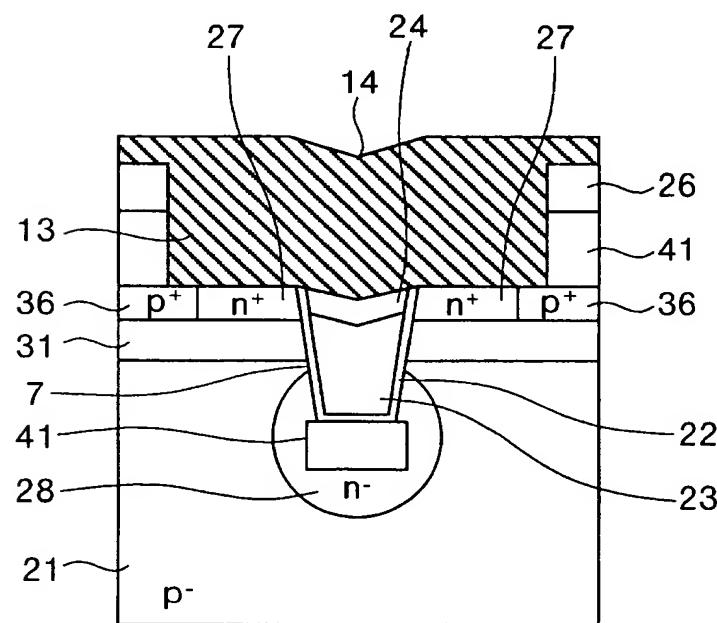
【図21】



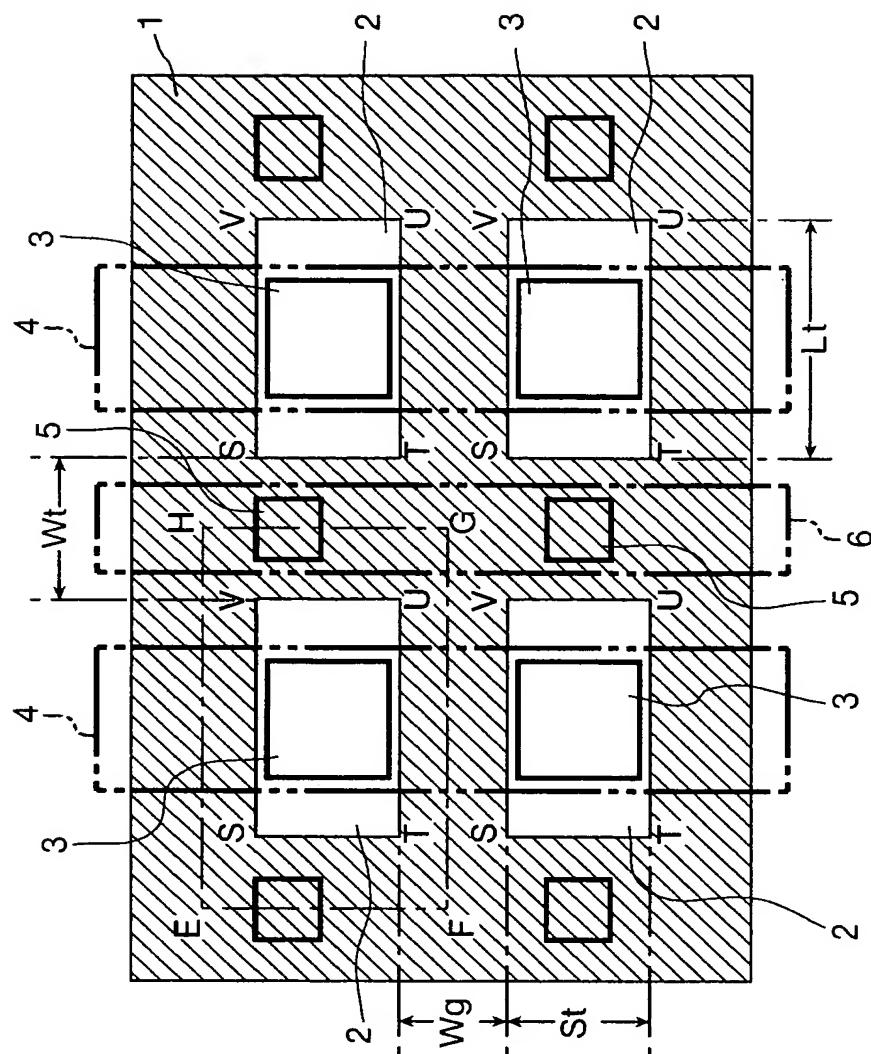
【図22】



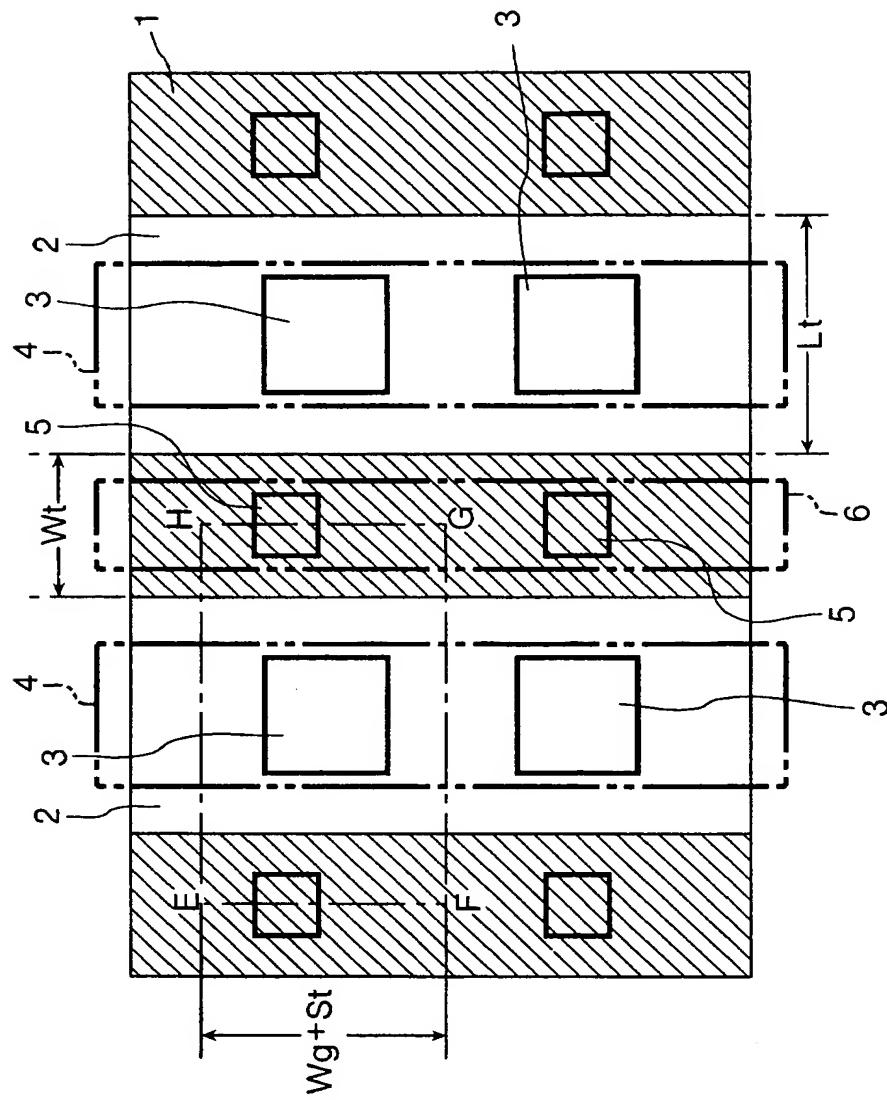
【図23】



【図24】



【図25】



【書類名】 要約書

【要約】

【課題】 トレンチ横型パワーMOSFETの平面レイアウト形状に関し、半導体と電極とのコンタクト部分の高い導電性を確保しつつ、トレンチの微細化による低オン抵抗化を可能にすること。

【解決手段】 トレンチエッチング領域1は、活性領域に形成された第1のトレンチ8と、ゲートポリシリコンを基板表面に引き出すゲート領域に形成された第2のトレンチ9とが交差するメッシュパターンを成す。エッチングされずに残った島状の非トレンチエッチング領域2は、メッシュパターンのトレンチ8, 9につながる1以上の第3のトレンチ7により、複数の小領域に分割される。各非トレンチエッチング領域2では、ドレイン領域（またはソース領域）と電極14とを接続するためのコンタクト部13が、当該非トレンチエッチング領域2内の全小領域にまたがるように形成される。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）
【整理番号】 02P01212
【提出日】 平成15年11月 7日
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2002-340186
【承継人】
【識別番号】 503361248
【氏名又は名称】 富士電機デバイステクノロジー株式会社
【承継人代理人】
【識別番号】 100088339
【弁理士】
【氏名又は名称】 篠部 正治
【電話番号】 03-5435-7241
【提出物件の目録】
【物件名】 権利の承継を証明する書面 1
【援用の表示】 特願2003-325949の出願人名義変更届（一般承継）に
添付した会社分割承継証明書
【物件名】 承継人であることを証明する書面 1
【援用の表示】 特願2002-298068の出願人名義変更届（一般承継）に
添付した登記簿謄本
【包括委任状番号】 0315472

特願 2002-340186

出願人履歴情報

識別番号 [000005234]

1. 変更年月日 1990年 9月 5日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田1番1号
氏 名 富士電機株式会社

2. 変更年月日 2003年10月 2日

[変更理由] 名称変更

住 所 神奈川県川崎市川崎区田辺新田1番1号
氏 名 富士電機ホールディングス株式会社

特願 2002-340186

出願人履歴情報

識別番号 [503361248]

1. 変更年月日 2003年10月 2日

[変更理由] 新規登録

住 所 東京都品川区大崎一丁目11番2号
氏 名 富士電機デバイステクノロジー株式会社